AU5410 – 10 路输出, LVCMOS, 超低抖动缓冲器

概述

AU5410 是一款 10 输出低抖动时钟扇出缓冲器，旨在用于低抖动、高频时钟/数据分配。低阻抗 LVCMOS 输出设计用于驱动 50 Ω串联或并联端接传输线。

缓冲器可以从初级、次级或晶体源选择时钟输入。主时钟源和次级时钟源可以是单端时钟源，也可以是全差分时钟源。所选时钟分配给 10 个 LVCMOS 输出驱动器。

AU5410 采用 3.3 V/2.5 V/1.8 V 内核电源和 3.3 V/2.5 V/1.8 V/1.5 V 输出电源供电。内核电源和输出电源彼此独立，无需电源排序。

特征

- 50 fs RMS 的附加抖动性能
- 时钟输出之间的典型输出偏差为 30ps
- LVCMOS 输出驱动器的内核电源电压为 3.3 V/2.5 V/1.8 V 和 3.3 V/2.5 V/1.8 V/1.5 V 输出电源进行电平转换。
- 器件输入包括初级、次级和晶体输入
- 输入端口可以通过对 AU5410 编程进行选择。AU5410 中的输入时钟接收器可以接受 LVPECL、LVDS、LVCMOS、SSTL、HCSL 和 XTAL 波形。
- 支持 8 MHz 至 50 MHz 的晶体频率。
- 晶体输入可在晶体旁路模式下以高达 250 MHz 的频率进行过驱动
- AU5410 缓冲器采用 32 引脚封装，5mm x 5mm QFN 封装。

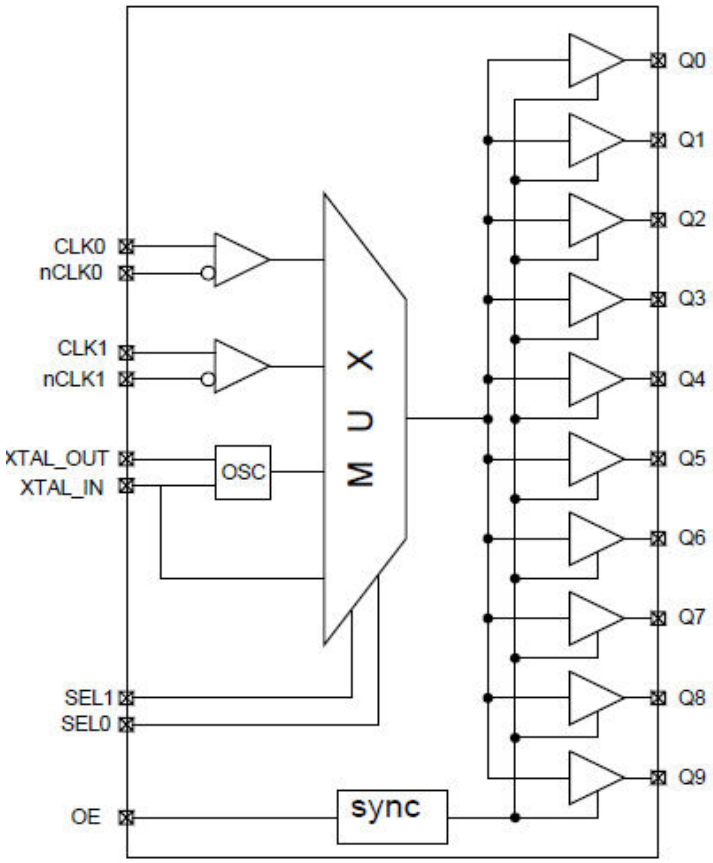


图 1 功能概述

目录

概 述 1
特征 1
目录 2
表格目录 3
图形目录 4
1 详细引脚说明 5
2 电气特性 7
3 功能说明 12
3.1 VDD 和 VDDO 电源 12
3.2 时钟输入 12
3.3 时钟状态(输入状态与输出状态) 12
3.4 输出使能 12
4 申请信息 14
4.1 驱动时钟输入 14
4.1.1 利用 LVCMOS 驱动器驱动时钟输入(交流耦合) 14
4.1.2 利用 LVCMOS 驱动器驱动时钟输入(直流耦合) 15
4.1.3 使用 LVCMOS 驱动程序驾驶 XTAL_IN (交流耦合) 18
4.1.4 Driving XTAL_IN with LVCMOS Driver (直流耦合) 19
4.1.5 LVDS (直流耦合) 20
4.1.6 HCSL (直流耦合) 20
4.1.7 LVPECL (直流耦合) 20
4.1.8 SSTL (直流耦合) 21
4.1.9 LVDS (交流耦合) 22
4.1.10 LVPECL (交流耦合) 22
4.2 AU5410 输出驱动器的终端，适用于各种负载配置 21
4.2.1 AU5410 输出 ODR 终端，用于交流耦合模式 23
4.2.2 AU5410 输出 ODR 终端，用于直流耦合模式 21
4.2.3 CMOS (电容性负载) 25
4.3 电源注意事项 25
4.4 XO 模式下的核电流 24
4.5 参数测量信息 24
4.5.1 差分输入电平 25
4.5.2 偏斜和输入至输出延迟 25
4.5.3 上升和下降时间 25
4.5.4 隔离 27
5 热信息 28
6 热插拔建议 29
6.1 介绍 29
6.2 典型差分输入时钟 29
6.3 具有热插拔保护的输入时钟端接 29
6.3.1 LVPECL 端接示例 29
6.3.2 LVDS 输入时钟端接示例 30
6.3.3 HCSL 输入时钟终止示例 30
6.3.4 具有热插拔保护功能的 LVCMOS 输入时钟端接 32
6.4 具有热插拔保护功能的 LVCMOS 输出时钟端接 33
7 在多个 VDDO 电源域中运行 34
8 封装信息 35
9 订购信息 37
10 修订历史 39

表格目录

表 1 详细引脚说明 5
表 2 绝对最大额定值 7
表 3 推荐工作电源和温度 7
表 4 直流电气特性 7
表 5 输入时钟特性 8
表 6 输出时钟特性- LVCMOS 9
表 7 输入时钟选择 12
表 8 输入级与输出级 12
表 9 OE 功能 12
表 10 AU5410 的热指标 28
表 11 AU5410 订购信息 37
表 12 修订历史 38

图形目录

图 1 功能概述 1
图 2 AU5410 缓冲器，LVCMOS 输出缓冲器俯视图 5
图 3 OE: 输出禁用 13
图 4 OE: 输出使能 13
图 5 交流耦合 LVCMOS 时钟到 AU5410 14
图 6 LVCMOS 时钟的交流耦合，具有单个 50 Ω电阻端接至地 15
图 7 LVCMOS 时钟与 AU5410 的直流耦合 – 配置 1 16
图 8 直流耦合 LVCMOS 输入时钟配置 – 配置 2 17
图 9 具有串联 RC 端接的直流耦合 LVCMOS 输入时钟 – 配置 3 17
图 10: LVCMOS 时钟直接耦合到 AU5410 18
图 11 单端 LVCMOS 输入 – 配置 1, 交流耦合至晶体输入 19
图 12 单端 LVCMOS 输入 – 配置 2, 交流耦合至晶体输入 19
图 13 单端 LVCMOS 输入, 直流耦合至晶体输入 19
图 14 直流耦合 LVDS 端接方案 20
图 15 直流耦合 HCSL 端接方案 20
图 16 直流耦合 LVPECL 的终端方案 21
图 17 直流耦合低压石化终端方案, 戴维南等效电路 21
图 18 SSTL 时钟的输入时钟终止示例 22
图 19 交流耦合 LVDS 的端接方案 22
图 20 交流耦合 LVPECL 端接方案, 戴维南等效电路 22
图 21 LVCMOS 时钟的交流耦合，具有单个 50 Ω电阻端接至地 23
图 22 LVCMOS 输出时钟端接的直流耦合 – 配置 1 24
图 23 直流耦合 LVCMOS 输出时钟配置 – 配置 2 25
图 24 具有串联 RC 端接的直流耦合 LVCMOS 输出时钟 – 配置 3 25
图 25 典型应用负载 25
图 26 与差分输入电平相关的参数 26
图 27 传播延迟和偏斜的参数定义 26
图 28 与上升和下降时间相关的参数定义 27
图 29 隔离的参数定义 27
图 30 典型输入差分时钟 29
图 31 具有热插拔保护的 LVPECL 端接 30
图 32 具有热插拔保护的 LVEPCL 端接 30
图 33 带热插拔保护的 LVDS 端接 30
图 34 具有热插拔保护的 HCSL 端接 31
图 35 具有热插拔保护的 LVCMOS 输入时钟终端 32
图 36 不同类型的 LVCMOS 输出时钟端接，具有热插拔保护功能 33
图 37: AU5410 的多电源操作示例 34
图 38 AU5410 32 引脚 QFN 封装尺寸 35

1 详细引脚说明

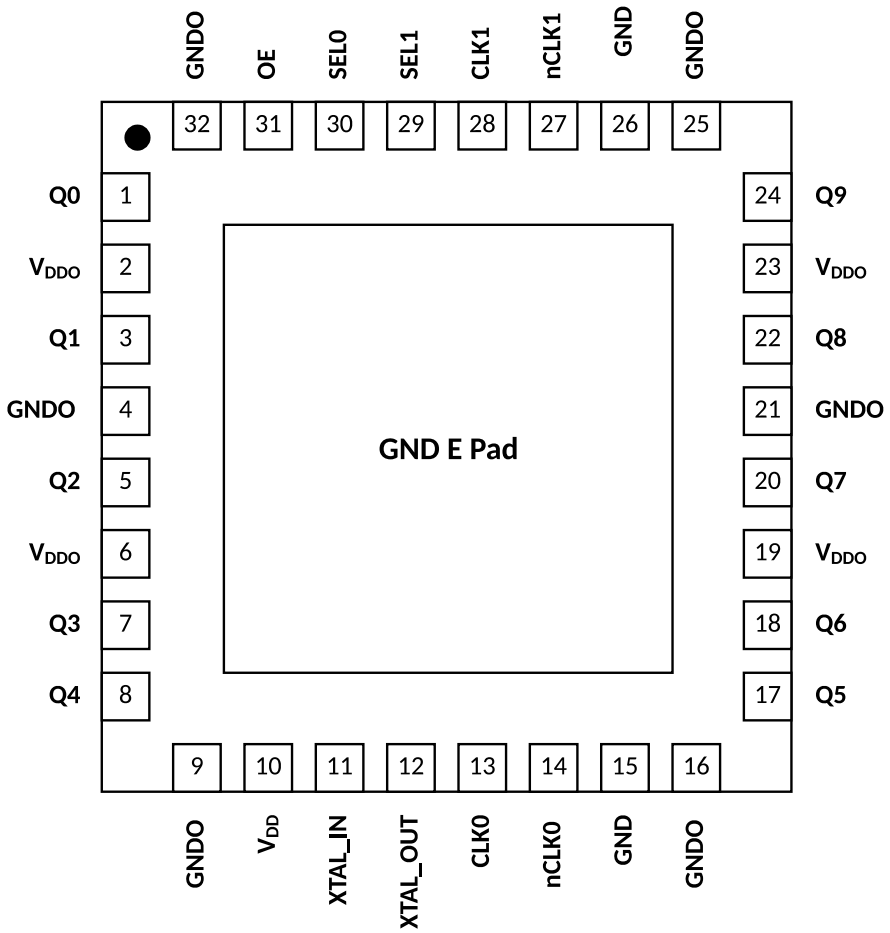


图 1 AU5410 时钟驱动器, LVCMOS 输出缓冲器顶视图

表 1 详细引脚说明

引脚名称	引脚编号	功能 AU5410
引脚组: 时钟输出引脚		
Q0	1	LVCMOS 输出 0
Q1	3	LVCMOS 输出 1
Q2	5	LVCMOS 输出 2
Q3	7	LVCMOS 输出 3
Q4	8	LVCMOS 输出 4
Q5	17	LVCMOS 输出 5
Q6	18	LVCMOS 输出 6
Q7	20	LVCMOS 输出 7
Q8	22	LVCMOS 输出 8
Q9	24	LVCMOS 输出 9
引脚组: 电源引脚		
VDDO	2	I/O 电源引脚 3.3/2.5/1.8/1.5 V
VDDO	6	I/O 电源引脚 3.3/2.5/1.8/1.5 V
VDDO	19	I/O 电源引脚 3.3/2.5/1.8/1.5 V
VDDO	23	I/O 电源引脚 3.3/2.5/1.8/1.5 V
VDD	10	线路电源 3.3/2.5/1.8 V - AU5410 可支持 1.8 V 在线电源

引脚名称	引脚编号	功能 AU5410
GNDO	9	地线
GND	15	地线
GNDO	16	地线
GNDO	4	地线
GNDO	21	地线
GND	26	地线
GNDO	25	地线
GNDO	32	地线
引脚组：时钟输入引脚		
XTAL_IN	11	晶体输入。它可以在晶体超驱动模式下由交流耦合单端时钟过驱动。 在外部旁路模式下，引脚处的最大电压需要为 1.5 V。如果驱动器摆幅为 3.3 V 电源轨，则 PCB 上需要电阻分压器，以将 XTAL_IN 电压的摆幅限制为 1.5 V 支持 6 pF 至 10 pF，频率 8 MHz 至 50 MHz
XTAL_OUT	12	晶体振荡器引脚
CLK0	13	同相差分或单端初级输入
nCLK0	14	反相差分初级输入
nCLK1	27	反相差分次级输入
CLK1	28	同相差分或单端次级输入
引脚组:控制引脚		
SEL1	29	输入时钟选择 1
SEL0	30	输入时钟选择 0
OE	31	输出使能

2 电气特性

表 2 绝对最大额定值

描述	条件	符号	最小值	典型值	最大值	单位
内核电源电压		V_{DD}	-0.5		3.6	V
输出电源电压		V_{DDO}	-0.5		3.6	V
输入电压，所有输入，XTAL_IN 除外		V_{IN}	-0.3		VDD+0.3	V
XTAL_IN		V_{IN}	-0.3		1.5	V
存储温度		T_{STG}	-55		150	ºC
结温		T_J			125	ºC
湿气敏感度等级		MSL		3		

注:

- 如果超过最大额定值，器件的使用寿命可能会缩短.
- 超出上述绝对最大额定值可能会导致器件永久性损坏。这些只是额定最值，不表示在这些条件下或者在任何其他超出 DC“电气特性”中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性，或对器件造成永久性损坏。

表 3 工作电源和温度

描述	条件	符号	最小值	典型值	最大值	单位
内核电源电压		V_{DD}	3.135	3.3	3.465	V
			2.375	2.5	2.625	V
			1.71	1.8	1.89	V
输出电源电压		V_{DDO}	3.135	3.3	3.465	V
			2.375	2.5	2.625	V
			1.6	1.8	2	V
			1.35	1.5	1.65	V
环境温度		T_A	-40	27	85	ºC

表 4 直流电气特性

除非另有说明: V_{DD} = 3.3 V ± 5%, 2.5 V ± 5%, V_{DDO} = 3.3 V ± 5%, 2.5 V ± 5%, 1.8 V ± 10%, 1.5 V ± 10%, −40 °C ≤ TA ≤ 85 °C, CLK0/1 差分驱动, 输入压摆率 ≥ 2 V/ns. 典型值表示 V_{DD} = 3.3 V, V_{DDO} = 3.3 V, T_A = 25 °C 时最有可能的参数标准。

描述	条件	符号	最小值	典型值	最大值	单位
电流消耗						
无切换时内核电源消耗的静态电流	V_{DD} = 3.3 V, V_{DDO} = 3.3 V, F_{in} = 0	$I_{CORE,STATIC}$		16	19.8	mA
无切换时输出驱动器电源获取的静态电流	V_{DD} = 3.3 V, V_{DDO} = 3.3 V, F_{in} = 0	$I_{ODR,STATIC}$		3.5	4.2	mA
内核电源占用的电流（如果启用 XTAL）	V_{DD} = 3.3 V, V_{DDO} = 3.3 V, F_{OSC} = 25 MHz	$I_{CORE,STATIC,XTAL}$(1)		11.5	14	mA
每路输出的功耗电容	V_{DD} = 3.3 V, V_{DDO} = 3.3 V, F_{in} = 200 MHz	C_{PD}(1)		4	5.2	pF
内核电源消耗的动态电流	V_{DD} = 3.3 V, V_{DDO} = 3.3 V, F_{in} = 100 MHz	$I_{CORE,DYN}$		1.3	1.56	mA
输入控制引脚特性						
高电平输入电压		V_{IH}	0.7*VDD		VDD	V

描述	条件	符号	最小值	典型值	最大值	单位
低电平输入电压		V_{IL}	GND		0.3*VDD	V
高电平输入电流	V_{IH} = V_{DD} = 3.3 V	I_{IH}		30	50	uA
低电平输入电流		I_{IL}	-20	0.1		uA
下拉电阻		$R_{PULLDOWN}$		200		KΩ
输入电容		C_{IN}		2		pF

注:

1. 规格由特性保证，无需在生产中进行测试。

表 5 输入时钟特性

除非另有说明： V_{DD} = 3.3 V ± 5%, 2.5 V ± 5%, V_{DDO} = 3.3 V ± 5%, 2.5 V ± 5%, 1.8 V ± 10%, 1.5 V ± 10%, −40 °C ≤ TA ≤ 85 °C, CLK0/1 差分驱动, 输入压摆率 ≥ 2 V/ns.。典型值表示 V_{DD} = 3.3 V, V_{DDO} = 3.3 V, T_A = 25 °C 时最有可能的参数标准。

描述	条件	符号	最小值	典型值	最大值	单位
通用输入时钟引脚的直流特性						
高电平输入电流	V_{IH} = V_{DD} = 3.465 V	I_{IH}			650	uA
低电平输入电流		I_{IL}	-650			uAd
上拉或下拉电阻 CLK0/1		$R_{PULLUP_PULLDOWN}$		7.5		KΩ
差分输入电压摆幅（峰对峰）(1)		V_{IDIFF}	0.15		1.3	V
差分输入共模电压(2)	V_{IDIFF} = 150 mV	V_{ICM}	0.25		V_{DD} – 0.85	V
单端输入高压(2)	反相差分输入保持在 VDD/2, V_{DD} = 3.3 V	V_{IHSE}	2		V_{DD}+0.3	V
	反相差分输入保持在 VDD/2, V_{DD} = 2.5 V		1.6		V_{DD}+0.3	V
单端输入低电压(2)	反相差分输入保持在 VDD/2, V_{DD} = 3.3 V	V_{ILSE}	-0.3		1.3	V
	反相差分输入保持在 VDD/2, V_{DD} = 2.5 V		-0.3		0.9	V
通用输入时钟引脚的交流特性						
输入压摆率	20% to 80%	ΔVi/ΔT		2		V/ns
输入电容	单端	C_{IN}	—	700	—	fF
输入频率范围(4)	LVDS 和 LVPECL 输出	f_{IN}	—	—	250	MHz
	HCSL 输出		—	—	250	MHz
	LVCMOS 输出		—	—	250	MHz
输入占空比，使得输出占空比等于输入占空比(5)	测量的通过条件是输出占空比在输入占空比的±5%以内。输入时钟幅度与 LVPECL 标准相同。	I_{DC}	40		60	%
多路复用器隔离 clk0 到 clk1 (3)	Foffset > 50 KHz, Pclkin = 0 dBm, Fclkin0 = 156.25 MHz	ISO_{MUX}		-85		dBc
晶体特性						
等效串联电阻		ESR		35	60	Ω
负载电容		C_L	6	8	10	pF
并联电容		C_o		2	3	pF
驱动级别				100	200	uW

描述	条件	符号	最小值	典型值	最大值	单位
振荡模式				基本		
支持的晶体频率范围(3)		频率	8		50	MHz
XTAL_IN/ XTAL_OUT 引脚上的最大摆动水平	旁路模式	V_{max}			1.5	V
F_{osc} = 8 MHz	晶振模式下输出所需要的稳定时间	t_{settle}		14		ms
F_{osc} = 25, 50 MHz				8		ms
XO 旁路交流耦合模式加性抖动(3)	V_{DDO} = 3.3 V 压摆率 > 2 V/ns Fin = 48 MHz	t_{jit}		100		fs
	V_{DDO} = 2.5 V 压摆率> 2 V/ns Fin = 48 MHz			115		fs
	V_{DDO} = 1.8 V 压摆率> 2 V/ns Fin = 48 MHz			230		fs
晶体相位抖动(6)	RMS, 集成带宽 BW 12 KHz 至 5 MHz, $F_{crystal}$ = 25 MHz. 晶振输入选择在 V_{DD} = V_{DDO} = 2.5 V 下测量	t_{jit}		155		fs

注:

1. 反相差分输入时钟引脚偏置在 VDD/2
2. 输入共模定义为 VIH (参见图 26)
3. 规格由特征保证，无需在生产中进行测试。
4. 如果最初没有输入时钟，则至少需要 2 个时钟周期的下降沿才能显示输出。因此, 缓冲电平仅在看到输入时钟的两个连续下降沿后才转换直流电平
5. 输出占空比等于输入占空比。ATE 测量以 80%的导通时间和 20%的关断时间波形完成，以确保输出占空比等于输入占空比，即使输入占空比偏斜也是如此。
6. 晶体相位抖动是根据以下部件号 7M-25.000MAKV-T 测量的

表 6 输出时钟特性- LVCMOS

描述	条件	符号	最小值	典型值	最大值	单位
最大输出频率	通用时钟输入	F_{out}			250	MHz
	XTAL(1)				50	MHz
输出占空比	For Fin ≤ 200 MHz	Odc	45		55	%
	For 200 MHz < Fin < 250 MHz		40		60	
输出高电平电压	V_{DDO} = 3.3 ± 5%, 12 mA 下拉电流	V_{OH}	2.6			V
	V_{DDO} = 2.5 ± 5%, 8 mA 下拉电流		1.8			V
	V_{DDO} = 1.8 V ± 200 mV, 2 mA 下拉电流		1.2			V
	V_{DDO} = 1.5 V ± 150 mV, 2 mA 下拉电流		0.95			V
输出低电平电压	V_{DDO} = 3.3 ± 5%, 12 mA 下拉电流	V_{OL}			0.5	V

描述	条件	符号	最小值	典型值	最大值	单位
	V_{DDO} = 2.5 ± 5%, 8 mA pull up current				0.5	V
	V_{DDO} = 1.8 V ± 200 mV, 2 mA 上拉电流				0.4	V
	V_{DDO} = 1.5 V ± 150 mV, 2 mA 上拉电流				0.35	V
有效输出阻抗，实现最大切片强度	V_{DDO} = 3.3 V	R_{out}		15		Ω
	V_{DDO} = 2.5 V			18		Ω
	V_{DDO} = 1.8 V			23		Ω
	V_{DDO} = 1.5 V			28		Ω
输出偏斜(1)	V_{DDO} = 3.465 V	t_{sk}		40		ps
	V_{DDO} = 2.5V			35		ps
	V_{DDO} = 1.62 V			31		ps
	V_{DDO} = 1.35 V			36		ps
输出启用或禁用时间(1)		t_{en}			4	周期
输入至时钟边沿至输出时钟边沿延迟	V_{DDO} = 3.465 V, PCB 走线为 5 英寸、10 pF 电容 交流耦合 50 Ω负载	t_d		1.4		ns
	V_{DDO} = 2.5 V, PCB 走线为 5 英寸、10 pF 电容 交流耦合 50 Ω负载			1.5		ns
	V_{DDO} = 1.62 V, PCB 走线为 5 英寸、10 pF 电容 交流耦合 50 Ω负载			2		ns
	V_{DDO} = 1.35 V, PCB 走线为 5 英寸、10 pF 电容 交流耦合 50 Ω负载			2.5		ns
Additive jitter (1)	V_{DDO} = 3.465 V 压摆率(AU5410) ≥ 2 V/ns	t_{jit}		21		fs
	V_{DDO} = 2.5 V 压摆率(AU5410) ≥ 2 V/ns			37		fs
	V_{DDO} = 1.62 V 压摆率(AU5410) ≥ 2 V/ns			87		fs
	V_{DDO} = 1.35 V 压摆率(AU5410) ≥ 2 V/ns			233		fs
上升时间(1)	输出上升时间 20% 至 80% 负载上限 5 pF，VDDO = 3.3 V，交流耦合 50 Ω负载	t_R			605	ps
	输出上升时间 20% 至 80% 负载电容 5 pF，VDDO= 2.5 V，交流耦合 50 Ω负载				605	ps
	输出上升时间 20% 至 80% 负载上限 5 pF，VDDO = 1.62 V，交流耦合 50 Ω负载				605	ps
	输出上升时间 20% 至 80% 负载上限 5 pF，VDDO = 1.35 V，交流耦合 50 Ω负载				605	ps
下降时间(1)	输出下降时间 20% 至 80% 负载上限 5 pF，V_{DDO} = 3.3 V	t_F			605	ps
	输出下降时间 20% 至 80% 负载上限 5 pF，V_{DDO} = 2.5 V				605	ps

描述	条件	符号	最小值	典型值	最大值	单位
	输出下降时间 20% 至 80% 负载上限 5 pF, V_{DDO} = 1.62 V				605	ps
	输出下降时间 20% 至 80% 负载上限 5 pF, V_{DDO} = 1.35 V				605	ps

注:

规格由特性保证，无需在生产中进行测试

3 功能说明

AU5410 是一款 10 输出差分时钟扇出缓冲器，具有低附加抖动，工作频率高达 250 MHz。它具有一个 3：1 输入多路复用器，具有一个可选的晶体振荡器输入和 10 个 LVCMOS 输出。输入选择和输出缓冲模式通过引脚搭接进行控制。该器件采用 32 引脚 QFN 封装。

3.1 VDD 和 VDDO 电源供应

AU5410 具有独立的 3.3 V/2.5 /1.8 V 内核 （VDD） 和 3.3 V/2.5 V/1.8 V/1.5 V 输出电源 （VDDO）。 2.5 V/1.8 V/1.5 V 的输出电源供电可降低功耗，并与 2.5 V/1.8 V/1.5 V 接收器器件兼容输出电平。输出电平 LVCMOS（VOH）以各自的 VDDO 电源为参考。

3.2 时钟输入

输入时钟可以从初级通用时钟输入、辅助通用时钟输入或 Xin 中选择。时钟输入选择使用 SEL[1：0] 输入进行控制，如表 表 7 所示

表 7 输入时钟选择

SEL[1]	SEL[0]	选定的时钟
0	0	CLK0
0	1	CLK1
1	0	晶体 或 晶体旁路交流耦合模式
1	1	晶体旁路直流 耦合模式

3.3 时钟状态（输入与输出状态）

表 8 输入级与输出级

所选时钟输入的状态	输出状态
输入是浮动的	逻辑低电平
输入为逻辑低电平	逻辑低电平
输入为逻辑高电平	逻辑高电平

3.4 输出使能

将 OE 拉至低电平，在输入信号的四个下降沿之后，强制输出到高阻抗状态。OE 为低电平时，输出就保持高阻抗状态。 OE 信号在内部同步至所选输入时钟。 这允许以无毛刺的方式禁用输入时钟下降沿的输出时钟 。

当 OE 从低到高时，输出时钟在延时 td 内使能，其中 td 由下式给出。

$$t_{d,refout_en} = 0.5n + 4 * T_{in}.$$

Tin 是输入时钟的时间段。

表 9 OE 功能

OE	输出状态
0	禁用(HIZ)
1	启动

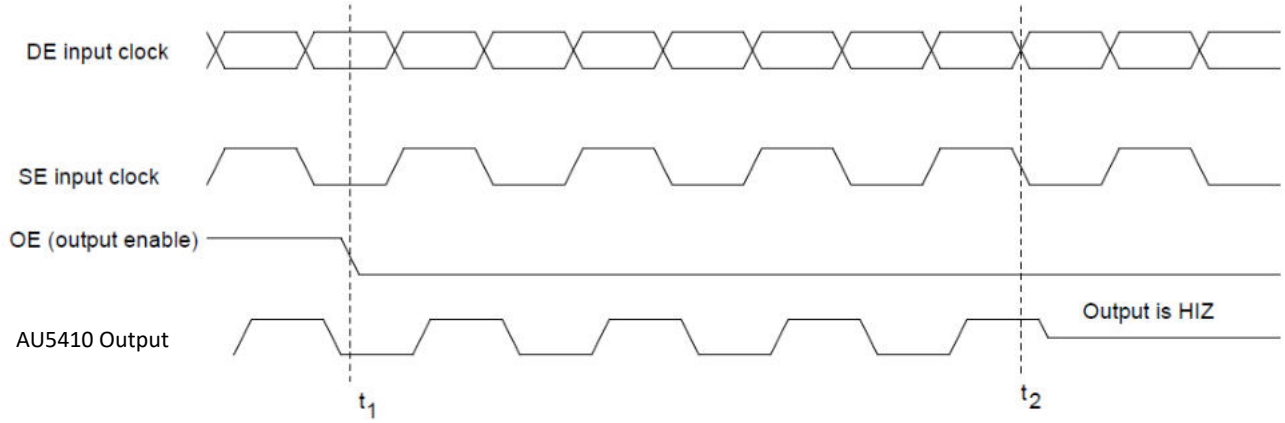


图 **2 OE:** 输出禁用

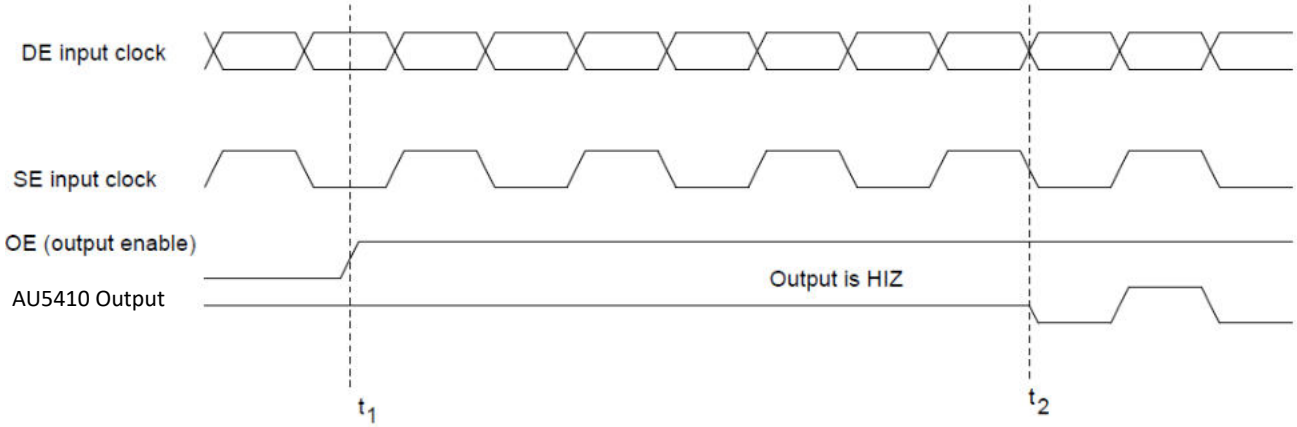


图 **3 OE:** 输出启动

4 申请信息

4.1 驱动时钟输入

AU5410 具有两个通用时钟输入 (CLK0/nCLK0 和 CLK1/nCLK1) AU5410 可以接受 3.3 V/2.5 V LVPECL, LVDS, CML, SSTL 和其他差分和单端信号, 满足电气特性中指定的输入共模、压摆率和摆幅要求。AU5410 支持宽共模电压范围和输入信号摆幅。

为了实现最佳的相位噪声和抖动性能，输入必须具有 2 V/ns（差分）或更高的高压摆率。以较低的压摆率驱动输入会降低本底噪声和抖动。

建议以差分方式驱动输入信号，以获得更好的压摆率和抖动。用户还可以驱动单个结束时钟。如果用户在 CLK0 上驱动单端时钟信号，则需要将 nCLK0 引脚连接到 PCB 上的 0.1 uF 电容。

4.1.1 驱动时钟输入，带 LVCMOS 驱动器（交流耦合）

图 5 显示了如何在交流耦合模式下连接差分输入以接受 LVCMOS 单端电平。旁路电容（C1）用于帮助滤除时钟输入反相引脚上的直流偏置噪声。此旁路应尽可能靠近输入引脚。 两个电阻 RT1 和 RT2 将 LVCMOS 驱动器输出端的共模电压设置为 VDD/2。这样可以防止 LVCMOS 驱动器产生平均直流漏电流，并避免不必要的功耗。

例如，如果输入时钟由单端 2.5 V LVCMOS 驱动器驱动，并且该信号的直流失调（或摆幅中心）为 1.25 V，则应调整 RT1 和 RT2 值，将 V1 设置为 1.25 V。这种配置要求驱动器的输出阻抗（Ro）和串联电阻（Rs）之和等于传输线阻抗。此外，输入端的匹配端接会将信号衰减一半。这可以通过以下方式完成。 首先，并联的 RT1 和 RT2 应等于传输线阻抗。 对于大多数 50 Ω应用，RT1 和 RT2 可以是 100 Ω。

$$Z_o = R_o + R_s = 50\ \Omega$$

$$\frac{R_{T1} * R_{T2}}{R_{T1} + R_{T2}} = 50\ \Omega$$

$$\frac{VDD * R_{T2}}{R_{T1} + R_{T2}} = \frac{VDD}{2}$$

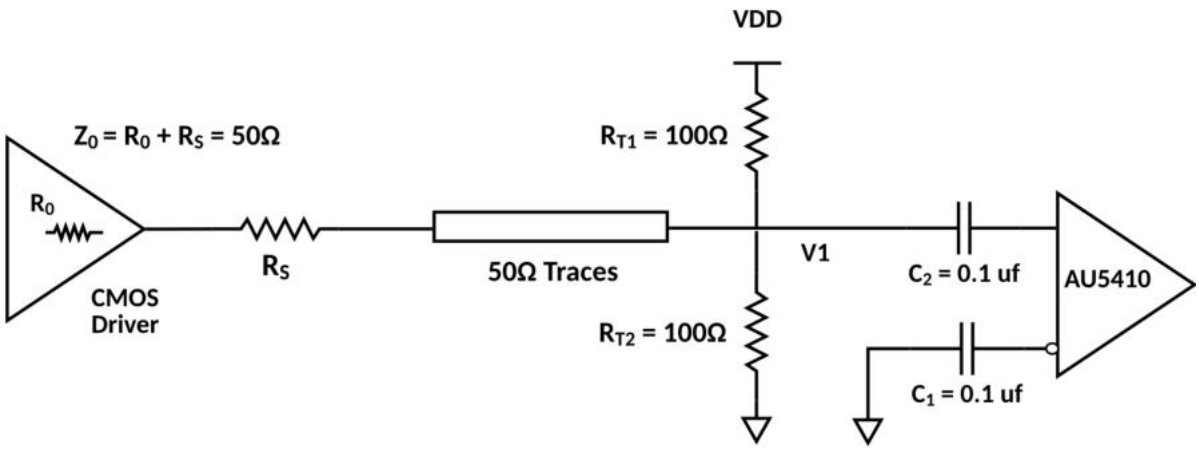


图 4 交流耦合 LVCMOS 时钟至 AU5410

反相差分输入可连接至 0.1 uF 旁路电容。该引脚在内部偏置至接近 VDD/2 的电压。

LVCMOS 输入时钟交流耦合的另一种变体如图 6 所示。我们使用接地 50 Ω 的单个终端电阻。0.1 uF 交流耦合电容器与 LVCMOS 时钟源串联，以防止直流漏电流。

$$Z_o = R_o + R_s = 50\ \Omega$$

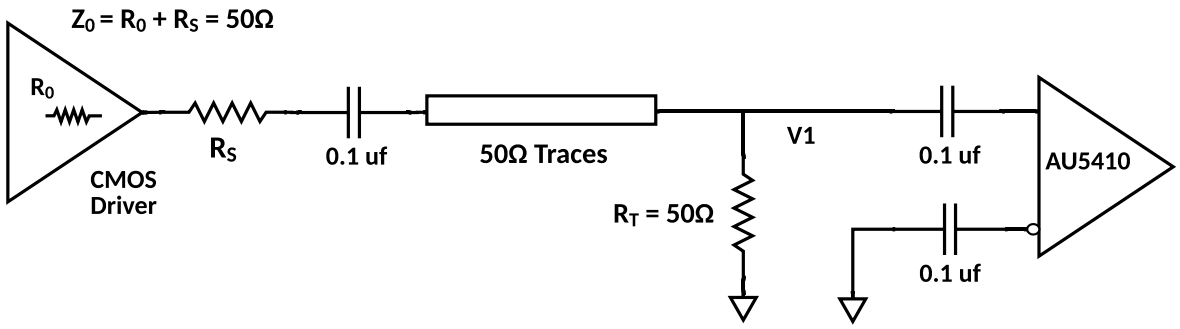


图 5 LVCMOS 时钟的交流耦合，具有单个 50 Ω电阻端接至地

4.1.2 驱动时钟输入与 LVCMOS 驱动器(直流耦合)

图 6 显示了如何连接差分输入以接受直流耦合模式下的 LVCMOS 单端时钟信号。参考电压 V1 = VDD/2 由偏置电阻 RS1 和 RS2 产生。 旁路电容（C1）用于帮助滤除直流偏置上的噪声。该偏置电路应尽可能靠近输入引脚。可能需要调整 RS1 和 RS2 的比率，以将偏置电压 V2 定位在输入电压摆幅的中心。偏置电路电阻的典型值为 RS1 = 1 KΩ 和 RS2 = 1 KΩ。

$$Z_o = R_o + R_s = 50\ \Omega$$

$$\frac{VDD * R_{s2}}{R_{s1} + R_{s2}} = \frac{VDD}{2}$$

$$\frac{R_{T1} * R_{T2}}{R_{T1} + R_{T2}} = 50\ \Omega$$

$$\frac{VDD * R_{T2}}{R_{T1} + R_{T2}} = \frac{VDD}{2}$$

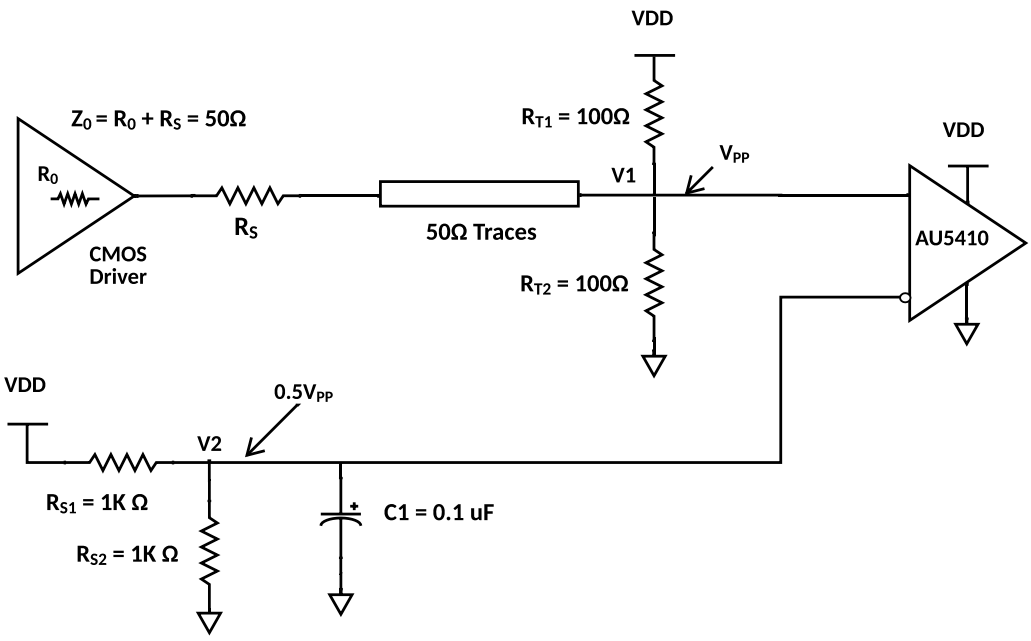


图 6 LVCMOS 时钟与 AU5410 的直流耦合 – 配置 1

例如，如果输入时钟由单端 2.5 V LVCMOS 驱动器驱动，并且该信号的直流失调（或摆幅中心）为 1.25 V，则应调整 RS1 和 RS2 值，将 V2 设置为 1.25 V。以下值适用于单端摆幅和 VDD 处于相同电压时的值。

这种配置要求驱动器的输出阻抗（Ro）和串联电阻（Rs）之和等于传输线阻抗。另外，输入端的匹配端接将使信号衰减一半。这可以通过以下两种方式之一完成。首先，并联的 RT1 和 RT2 应等于传输线阻抗。对于大多数 50 Ω应用，RT1 和 RT2 可以是 100 Ω。可以增加电阻值，以降低较慢和较弱的 LVCMOS 驱动器的负载。

图 7 显示了第二种输入时钟配置，其中 RT1、RT2 被移除并替换为 50 Ω 端接电阻 RT 接地。 LVCMOS 驱动器（或时钟源）可能无法在直流耦合模式下驱动 50 Ω负载。用户可以使用串联 RC 终端来克服这个限制。图 8 所示的输入时钟配置的设计公式如下

$$Z_o = R_o + R_s = 50\ Ohm$$

$$\frac{VDD * R_{s2}}{R_{s1} + R_{s2}} = \frac{Vpp}{2}$$

LVCMOS 单端时钟输入在缓冲器附近具有串联 RC 端接，如图 9 所示。有一个终端电阻 RT，通过电容器 CAC 接地。串联电容器的值由公式给出。

$$C_{AC} \geq \frac{3T_D}{50\Omega},\ T_D \text{ is the transmission line delay}$$

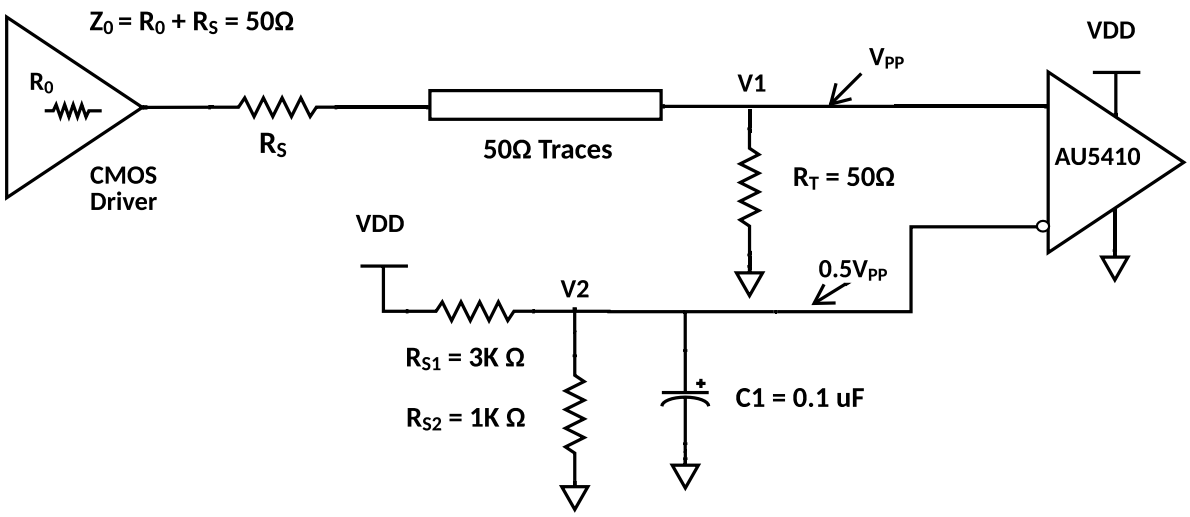


图 7 直流耦合 LVCMOS 输入时钟配置 – 配置 2

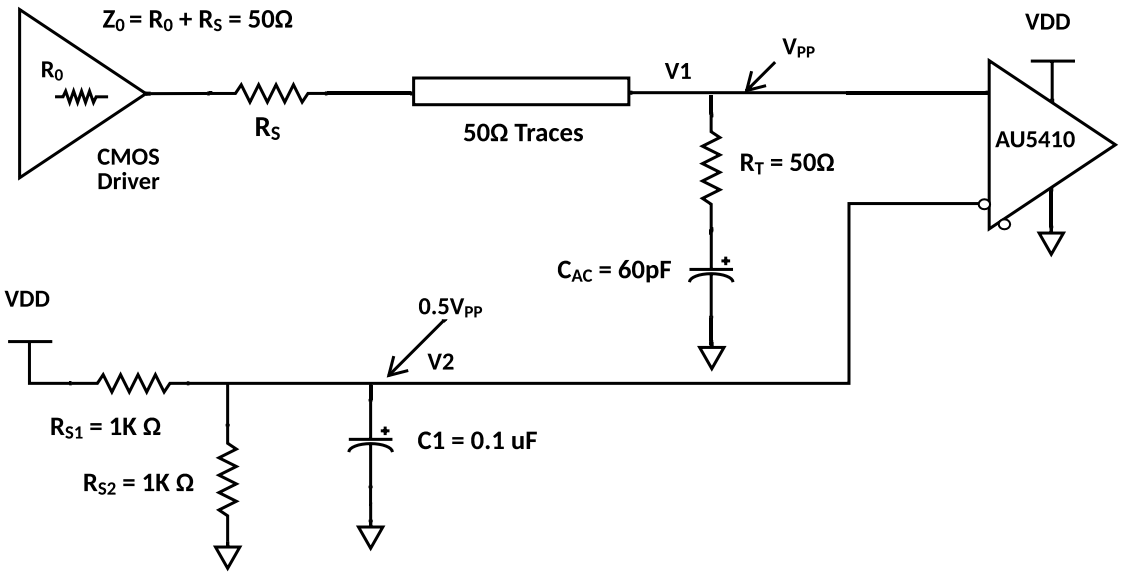


图 8 具有串联 RC 端接的直流耦合 LVCMOS 输入时钟 – 配置 3

对于低频，我们可以将 LVCMOS 时钟直接耦合到 AU5410 输入时钟引脚，如下所示。

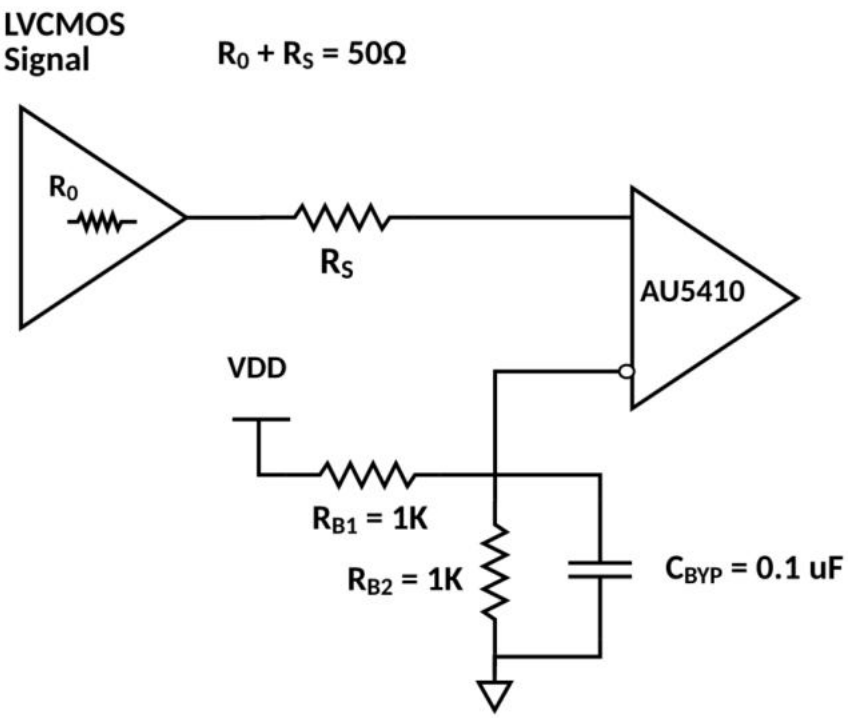


图 9: LVCMOS 时钟与 AU5410 的直接耦合

4.1.3 使用 LVCMOS 驱动程序驾驶 XTAL_IN (交流耦合)

晶体输入 XTAL_IN 可通过单端时钟进行过驱动(LVCMOS 驱动器或差分驱动器的一侧)。 XTAL_IN 时的峰值摆幅应限制在 1.5 V。在这种情况下，XTAL_OUT 引脚可以是浮动的。 SEL1， SEL0 应为 2'b10。XTAL_IN 时的最大电压不应超过 1.5 V，最小电压不应低于-0.3 V。XTAL_IN 时的压摆率应大于 0.2 V/ns。

对于 3.3 V LVCMOS 输入, 振幅必须从全摆幅减小到摆幅的至少一半，以防止信号干扰电源轨并降低内部噪声。图 11 显示了高速 3.3 V LVCMOS 驱动器的接口图示例。这种配置要求驱动器的输出阻抗（Ro）和串联电阻（Rs）之和等于传输线阻抗。另外, 晶体输入端的匹配端接将使信号衰减一半。这可以通过以下两种方式之一完成。 第一, 并联的 RT1 和 RT2 应等于传输线阻抗。适用于大多数 50 Ω应用, RT1 和 RT2 可以是 100 Ω。

$$Z_o = R_o + R_s = 50\ Ohm$$

$$\frac{R_{T1} * R_{T2}}{R_{T1} + R_{T2}} = 50\ Ohm$$

$$\frac{VDD * R_{T2}}{R_{T1} + R_{T2}} = \frac{VDD}{2}$$

适用于两种交流耦合配置, 交流耦合电容之前的最大峰峰值摆幅为 1.65V。 XTAL_IN 的最大直流偏置电压为 0.675V。因此，XTAL_IN 引脚的最大摆幅由下面给出的公式给出。

$$V_{swing,pk,XTAL_IN} = 0.675 + 0.5 * 1.65 = 1.5V$$

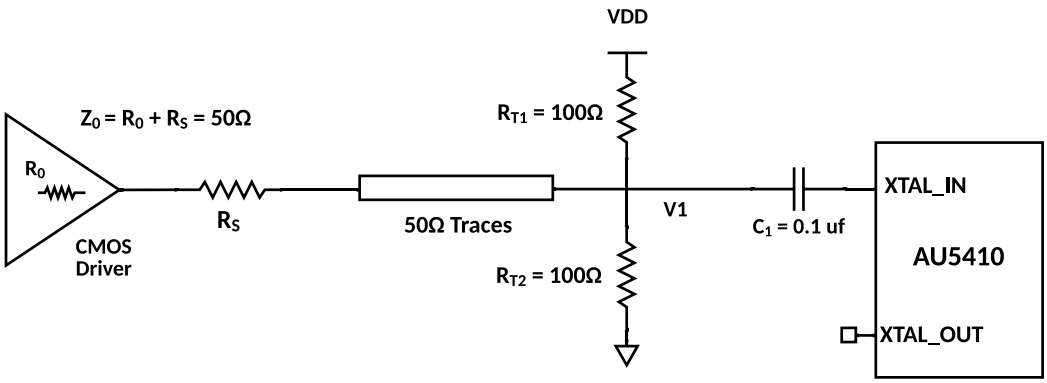


图 10 单端 LVCMOS 输入 – 配置 1， 交流耦合至晶体输入

图 11 显示了第二个输入时钟配置，其中 RT1, 移除 RT2，代之以 50 Ω 端接电阻 RT 接地。0.1 uF 与 CMOS 驱动器串联，以防止任何直流漏电流。

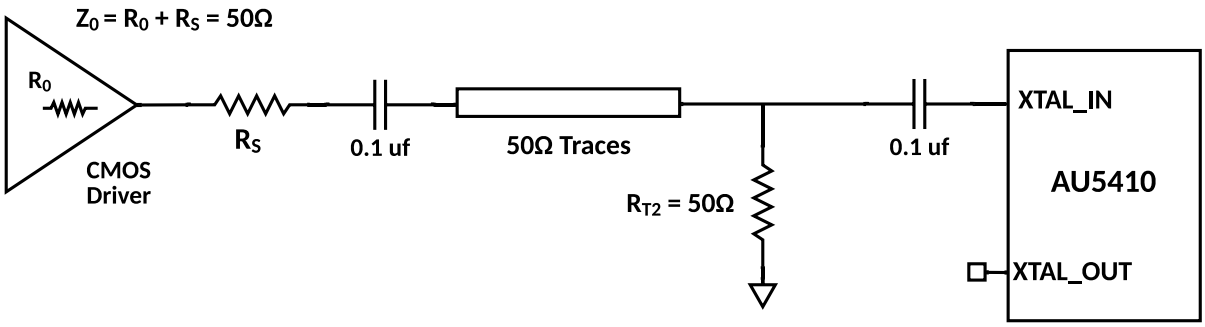


图 11 单端 LVCMOS 输入 – 配置 2, 交流耦合至晶体输入

4.1.4 使用 LVCMOS 驱动程序驱动 XTAL_IN (直流耦合)

在直流耦合模式下，晶振输入 XTAL_IN 可采用单端时钟过驱动，如图 13 所示。XTAL_IN 时的峰值摆幅应限制在 1.5 V。 在这种情况下，XTAL_OUT 引脚可以是浮动的。SEL1、SEL0 应为 2'b11。如果 LVCMOS 驱动器采用更高的电源电压（例如 3.3 V），则使用 PCB 上的电阻分压器将峰值输出电压降至 1.5 V。

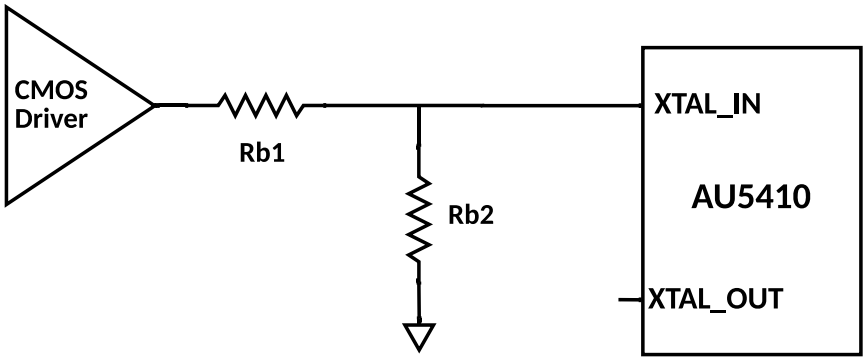


图 12 单端 LVCMOS 输入，直流耦合至晶振输入

4.1.5 LVDS (直流耦合)

以尽可能靠近接收器的差分 100 Ω端接。如图 14 所示。

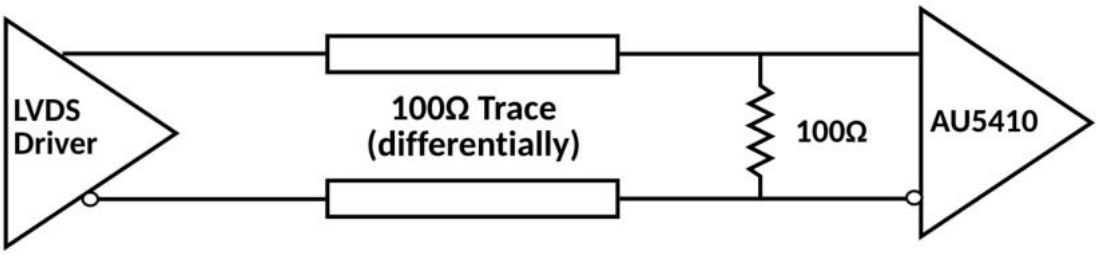


图 13 直流耦合 LVDS 的端接方案

4.1.6 HCSL (直流耦合)

端接电阻对地 50 Ω，靠近输出驱动器。串联电阻 Rs 有时用于限制快速瞬变期间过冲。端接方案如图 15 所示。

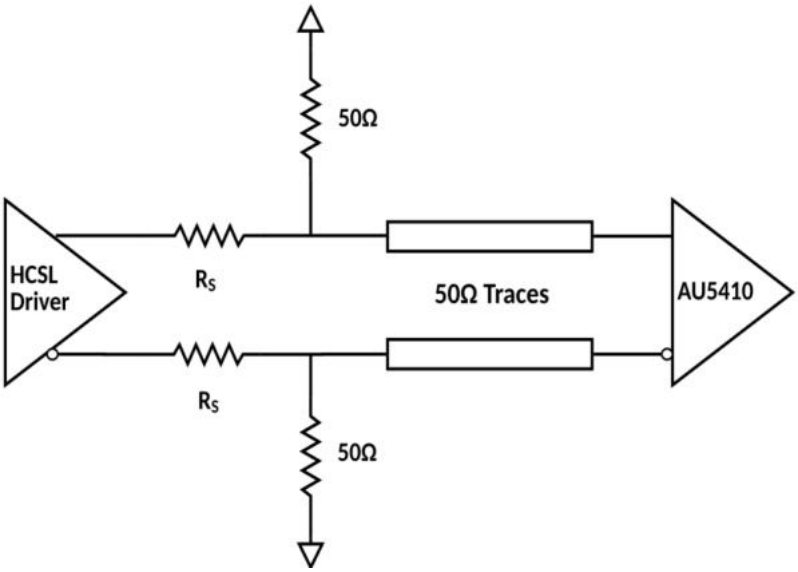


图 14 直流耦合 HCSL 的端接方案

4.1.7 LVPECL (直流耦合)

对于直流耦合操作，50 Ω端接电阻放置在靠近接收器的位置。 终端电阻采用电压源 VTT 偏置。

$$V_{TT} = V_{DDO} - 2V.$$

该端接方案如图 16 所示。另外, 用户还可以使用电阻分压器实现戴维南等效于 VTT。 该方案和电阻分压器中的电阻值如图 17 所示。

VDDO	RPU	RPD	VTT
3.3 V	120 Ω	82 Ω	~1.3 V
2.5 V	250 Ω	62.5 Ω	0.5 V

图 16

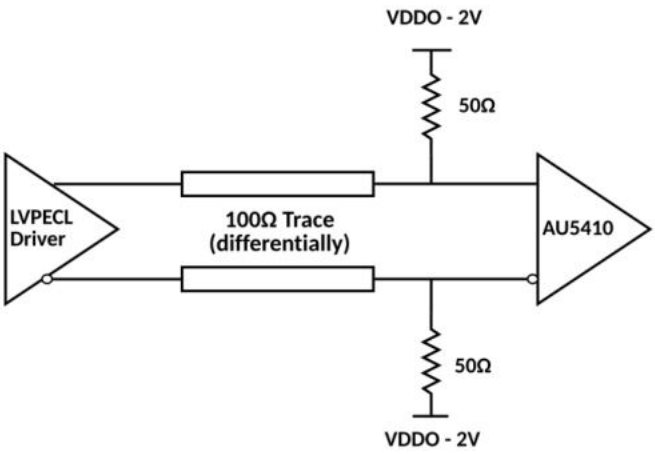
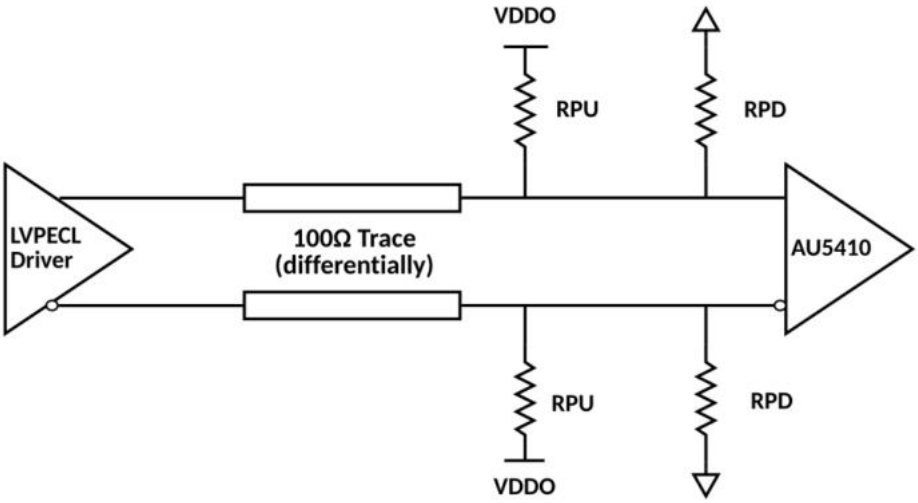


图 15 直流耦合 LVPECL 的端接方案



VDDO	RPU	RPD	VTT
3.3 V	120 Ω	82 Ω	~1.3 V
2.5 V	250 Ω	62.5 Ω	0.5 V

图 16 直流耦合 LVPECL 的端接方案，戴维南等值

LVPECL 戴维宁等效端接的设计公式如下。

$$\frac{R_{PD} * R_{PU}}{R_{PD} + R_{PU}} = 50\Omega$$

$$\frac{R_{PD} * VDDO}{R_{PD} + R_{PU}} = VDDO - 2V$$

4.1.8 SSTL (直流耦合)

输入时钟配置如图 18 所示。 在给出的应用示例中，传输线阻抗为 60 Ω。因此，我们使用两个从 VDDO 到地的 120 Ω电阻来偏置时钟输入引脚。在这种情况下，有效终端阻抗为 60 Ω。

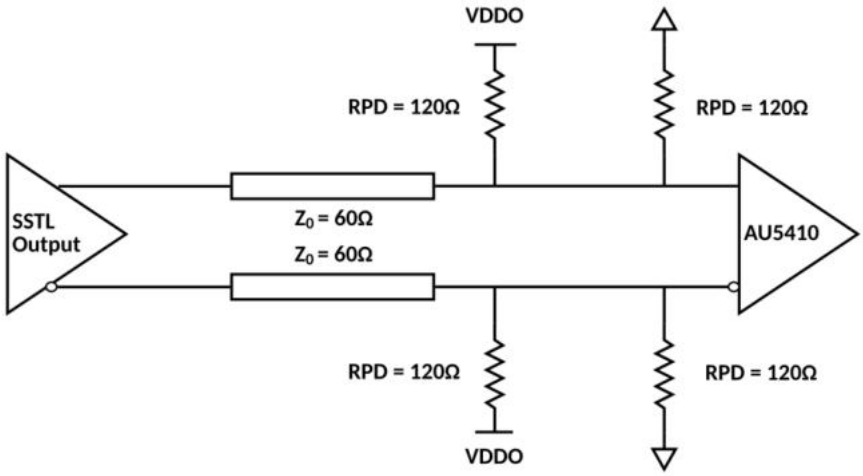


图 17 SSTL 时钟的输入时钟终止示例。

4.1.9 LVDS (交流耦合)

负载终端电阻应放置在交流耦合电容器之前。 负载终端电阻和交流耦合电容应放置在靠近接收器的位置。端接方案如图 19 所示。

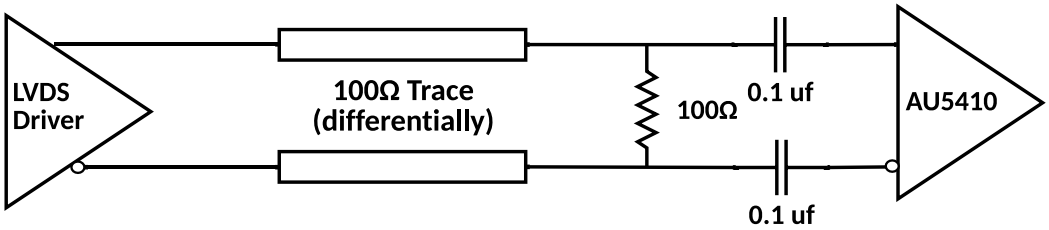


图 18 交流耦合 LVDS 的端接方案

4.1.10 LVPECL (交流耦合)

LVPECL 应具有接地直流路径。 因此，用户必须在输出驱动器附近放置一个电阻 RT。 LVPECL 交流耦合和戴维南等值 VTT 端接方案如图 20 所示。

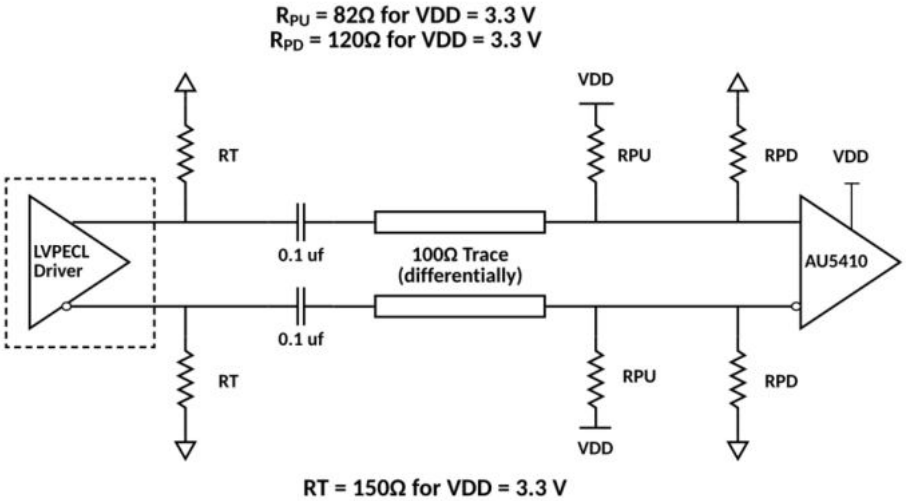


图 19 交流耦合 LVPECL 的端接方案，戴维南等值

上拉电阻 RPU 和下拉电阻 RPD 设置 AU5410 的输入共模电压。输入共模电压的值可以通过下面给出的公式估算

$$V_{ICM} = \frac{VDD * R_{PD}}{R_{PU+R_{PD}}} = \frac{3.3 * 120}{120 + 82} = 1.961V$$

AU5410（来自数据手册）的差分输入共模规格为 VDD -1.1 = 2.2 V，因此 LVPECL 交流耦合终端设置的输入共模符合 AU5410 输入共模规格。

LVPECL 驱动器芯片具有电阻 RT，为 LVPECL 驱动器中的输出驱动器电流提供直流路径。AU5410 输入侧（接收器侧）的有效负载阻抗由 RPU、RPD 并联组合而成。有效终端电阻值由下式给出

$$R_{termination} = \frac{R_{PU} * R_{PD}}{R_{PU} + R_{PD}} = \frac{120 * 82}{120 + 82} = 48.7\Omega$$

4.2 AU5410 输出驱动器的端接，适用于各种负载配置

4.2.1 AU5410 交流耦合模式的输出 ODR 终端

AU5410 LVCMOS 输出驱动器的交流耦合如图 21 所示。我们使用 50 Ω的单个端接电阻接地。0.1 uF 交流耦合电容与 LVCMOS 时钟源串联，以防止直流漏电流。 接收器侧端接一个 50 Ω 的接地电阻。然后，时钟信号交流耦合到接收器，在本例中。1 为旁路电容，用于抑制接收器反相差分输入端的噪声。

$$Z_o = R_o + R_s = 50\ Ohm$$

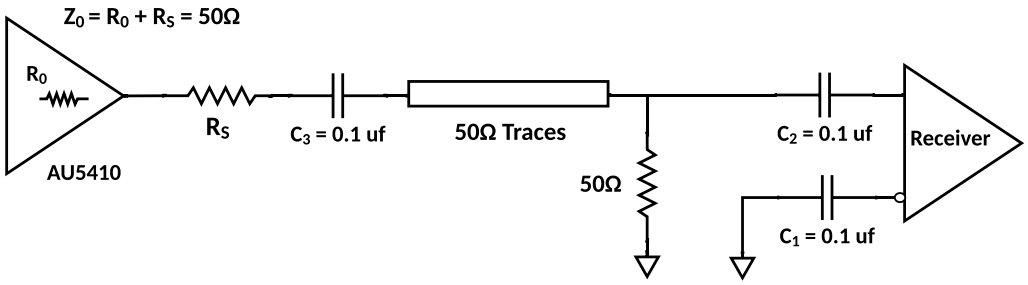


图 20 LVCMOS 时钟的交流耦合，具有单个 50 Ω电阻器接地

4.2.2 AU5410 直流耦合模式的输出 ODR 终端

图 22 显示了如何端接 AU5410 LVCMOS 输出驱动器以在直流耦合模式下发送时钟信号。基准电压 V1 = VDD/2 由偏置电阻 RS1 和 RS2 产生。旁路电容（C1）用于帮助滤除直流偏置上的噪声。该偏置电路应尽可能靠近输入引脚。可能需要调整 RS1 和 RS2 的比率，以将偏置电压 V2 定位在输入电压摆幅的中心。

$$Z_o = R_o + R_s = 50\ Ohm$$

$$\frac{VDD * R_{s2}}{R_{s1} + R_{s2}} = \frac{VDD}{2}, Typical\ value\ of\ R_{s1} = R_{s2} = 1K\Omega$$

$$\frac{R_{T1} * R_{T2}}{R_{T1} + R_{T2}} = 50\ Ohm, Typical\ value\ of\ R_{T1} = R_{T2} = 100\Omega$$

$$\frac{VDD * R_{T2}}{R_{T1} + R_{T2}} = \frac{VDD}{2}$$

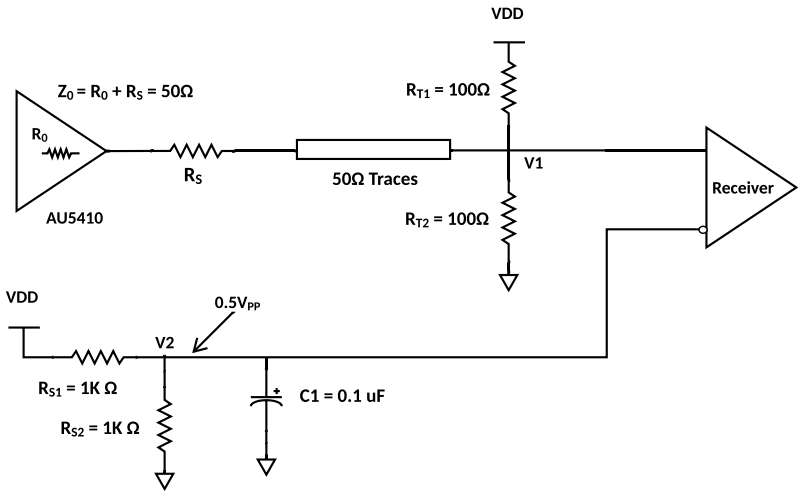


图 21 LVCMOS 输出时钟终端的直流耦合 – 配置 1

例如, 如果 AU5410 电源为 2.5 V，则该信号的直流偏置(或摆幅中心)为 1.25 V，则应调整 RS1 和 RS2 值以将 V2 设置为 1.25 V。 以下值适用于单端摆幅和 VDD 处于相同电压时的值。

这种配置要求驱动器的输出阻抗（Ro）和串联电阻（Rs）之和等于传输线阻抗。此外，输入端的匹配端接会使信号衰减一半。这可以通过以下两种方式之一完成。首先，并联的 RT1 和 RT2 应等于传输线阻抗。对于大多数 50 Ω应用，RT1 和 RT2 可以是 100 Ω。可以增加电阻值，以降低较慢和较弱的 LVCMOS 驱动器的负载。

图 23 显示了第二种输入时钟配置，其中 RT1、RT2 被移除，取而代之的是 50 Ω 的 RT 接地终端电阻。AU5410 将产生直流泄漏电流，用于图 23 所示的输出端接。用户可以使用串联 RC 端接来克服这一限制。图 23 所示输入时钟配置的设计公式如下

$$Z_o = R_o + R_s = 50\ \Omega$$

$$\frac{VDD * R_{s2}}{R_{s1} + R_{s2}} = \frac{Vpp}{2} = \frac{VDD}{4}, Typical\ value\ of\ R_{s1} = 3K\Omega, R_{s2} = 1K\Omega$$

AU5410 LVCMOS 输出驱动器端接与缓冲器附近的串联 RC 端接如图 24 所示。有一个终端电阻 RT，它通过电容 CAC 接地。串联电容器的值由公式给出。

$$C_{AC} \geq \frac{3T_D}{50\Omega},\ T_D \text{ is the transmission line delay}$$

CAC 的典型值为 60 pF，假设延迟为 TD = 200 ps/英寸，输入时钟路由长度为 5 英寸。

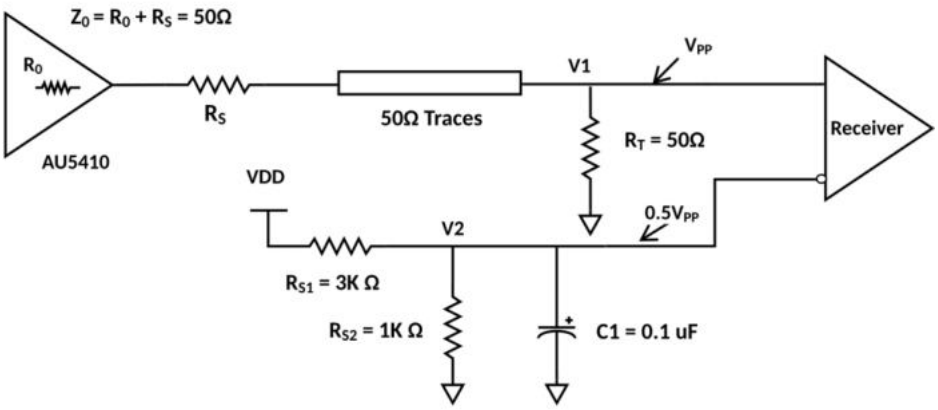


图 22 直流耦合 LVCMOS 输出时钟配置 – 配置 2

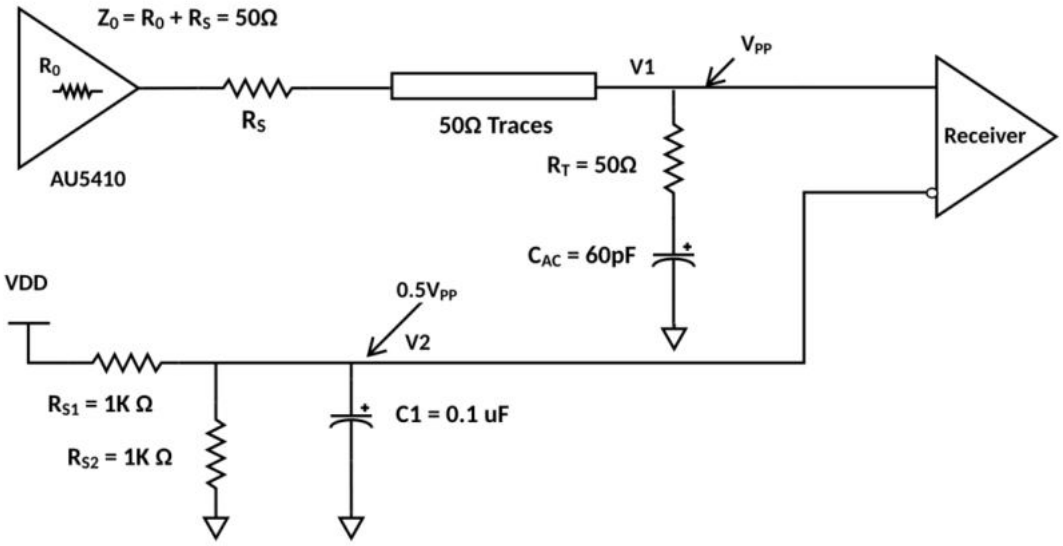


图 23 直流耦合 LVCMOS 输出时钟，带串联 RC 终端 – 配置 3

在这种情况下，RS1 和 RS2 的典型值为 1 KΩ，CAC 的典型值为 60 pF。

4.2.3 CMOS (容性负载)

容性负载可以驱动，如图 24 所示。Rs = 33 Ω for VDDO = 3.3 V.

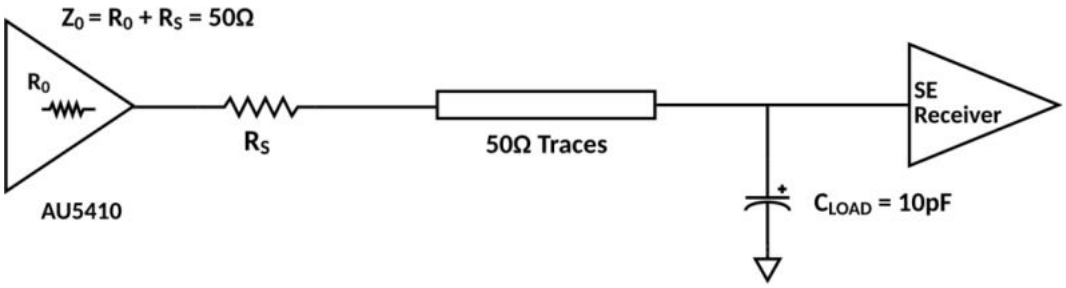


图 24 典型应用负载

4.3 电源注意事项

以下功耗仅指设备消耗的功耗。 器件功耗是静态功耗和动态功耗的总和。动态功耗由两个部分组成:

- 设备在切换状态时使用的功率
- 为任何输出负载充电所需的电源。 输出负载可以是纯电容负载，也可以是容性阻性负载。使用以下公式计算设备的功耗:

$$P_{DEV} = P_{STATIC} + P_{DYNAMIC} + P_{CLOAD}$$

$$P_{STATIC} = I_{CORE_STATIC} * VDD + I_{ODR,_STATIC} * VDDO$$

$$P_{DYNAMIC} = I_{CORE_DYNAMIC_100MHZ} * VDD * \frac{F_{in}(units\ in\ MHz)}{100} + C_{PD} * 10 * F_{in} * VDDO^2$$

$$P_{CLOAD} = C_{LOAD} * 10 * F_{in} * VDDO^2$$

我们计算输入时钟为 100 MHZ 时 2 pF 的 CLOAD 典型功耗。假设 VDD = VDDO = 3.3 V.

$$P_{STATIC} = 16mA * 3.3V + 3.5mA * 3.3V = 64.35mW$$

$$P_{DYNAMIC} = 1.5mA * \frac{100}{100} * 3.3V + 4.0pF * 10 * 100MHz * 3.3V * 3.3V = 48.51\ mW$$

$$P_{CLOAD} = 2pF * 10 * 100MHz * 3.3V * 3.3V = 21.78mW$$

$$P_{DEV} = 134.64mW$$

4.4 XO 模式下的核电流

晶振模式独立模块电流以 ATE 为单位测量。在典型条件下，我们可以使用以下公式计算晶体模式下的总 VDD 磁芯电流。在晶振模式下，最坏情况下 VDD 内核电流为 14 mA。

$$I_{core_crystal} = 8.5 + I_{xo_standalone} = 11.5mA, typical$$

4.5 参数测量信息

4.5.1 差分输入电平

与差分输入电平相关的参数定义如图 25 所示。

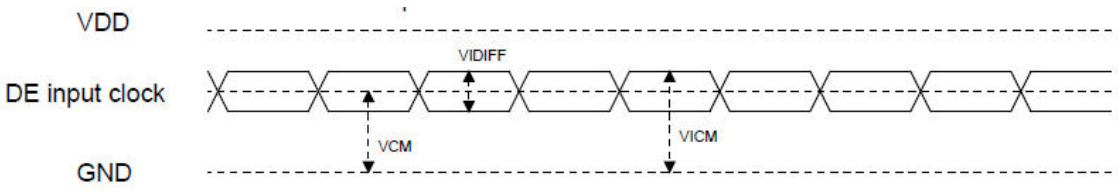


图 **25** 与差分输入电平相关的参数

4.5.2 偏移和输入至输出延迟

与传播延迟和偏移相关的参数定义如图 26 所示。

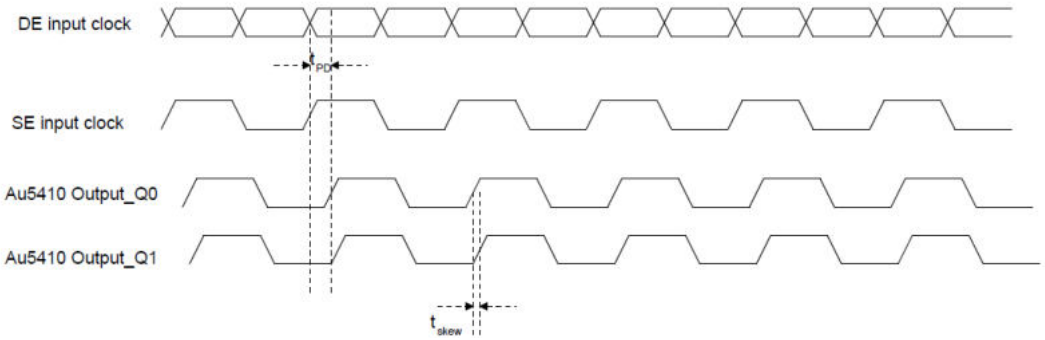


图 **26** 传播延迟和偏移的参数定义

4.5.3 上升和下降时间

与传播上升和下降时间相关的参数定义如下所示。

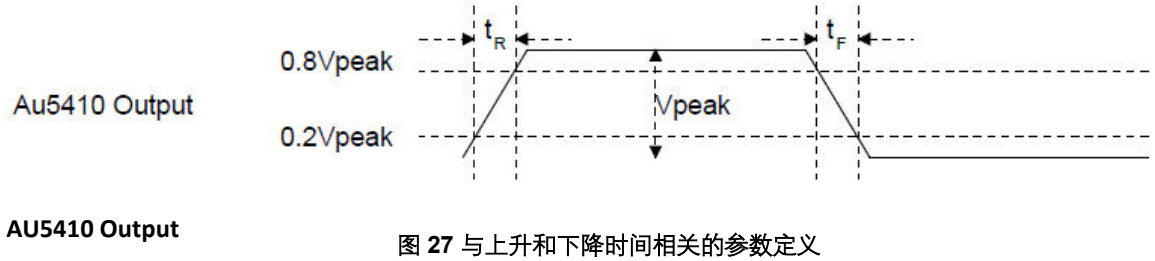


图 27 与上升和下降时间相关的参数定义

4.5.4 隔离

隔离度是输出时钟上未选择的输入时钟路径中时钟切换耦合的度量。假设选择了 CLOCK0 路径，时钟频率为 156.5 MHz，功率为 0 dBm。如果时钟在 CLOCK1 路径中以 156 MHz 和 0 dBm 切换，那么在输出时钟中，我们可能存在与载波相差 0.5 MHz 的音调。这种音调相对于载波的功率称为隔离。

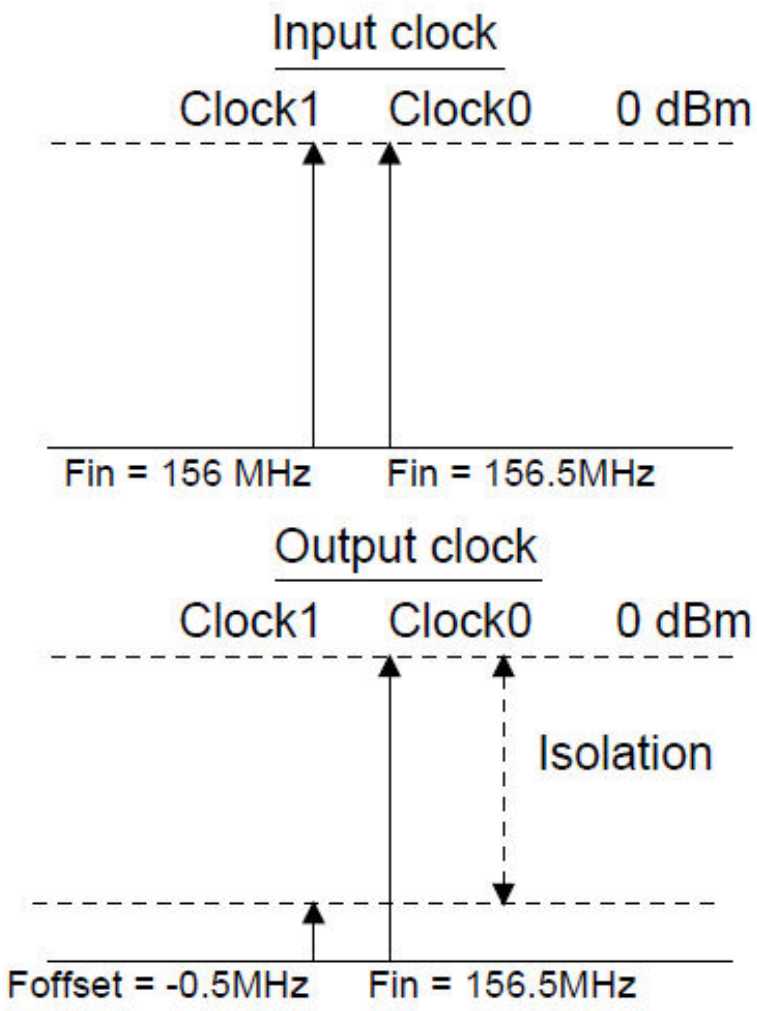


图 28 隔离的参数定义

5 热信息

表 10 AU5410 的热指标

热指标	AU5410 RHB 32 pins	单位
θ_{JA}结温到外部的热阻，风速 = 0 m/s	43.4	ºC/W
θ_{JA}结温到外部的热阻, 风速= 1 m/s	38.7	ºC/W
θ_{JA}结温到外部的热阻, 风速= 2 m/s	37.4	ºC/W
θ_{JB} 结温到 PCB 板	16.62	ºC/W
θ_{JC}接面至外壳	23.7	ºC/W
ψ_{JT}结温到顶表征参数	0.75	ºC/W

6 热插拔建议

6.1 介绍

热插拔是一个术语，用于指在不关闭系统电源的情况下从背板上插入和拔出子卡。随着当今的高速数据和冗余要求，许多系统需要在不断电的情况下连续运行。如果不采取特殊措施，可能会损坏设备。

6.2 典型差分输入时钟

例如，图 29 显示了典型的 LVPECL 驱动器和差分输入。如果驱动器 （VDDO） 的电源在输入电源 （VDDI） 之前导通，则输入电流可能会超过限值并损坏二极管 D1。

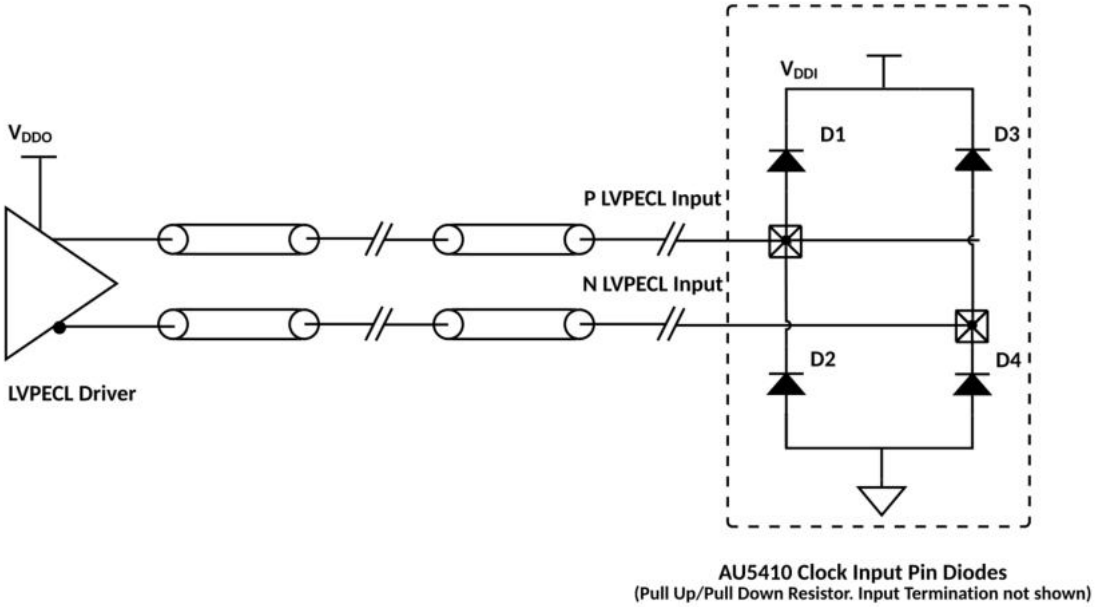


图 29 典型输入差分时钟

为确保输入电流不超过其限值并损坏器件，可以使用限流电阻器。以下是使用串联限流电阻的最常见端接拓扑示例。虽然没有必要，但如果电路板空间允许，一些示例有一个可选的 100pf 电容器，有助于提高上升时间的完整性。还建议限流电阻尽可能靠近接收器。

6.3 具有热插拔保护的输入时钟终止

6.3.1 LVPECL 端接示例

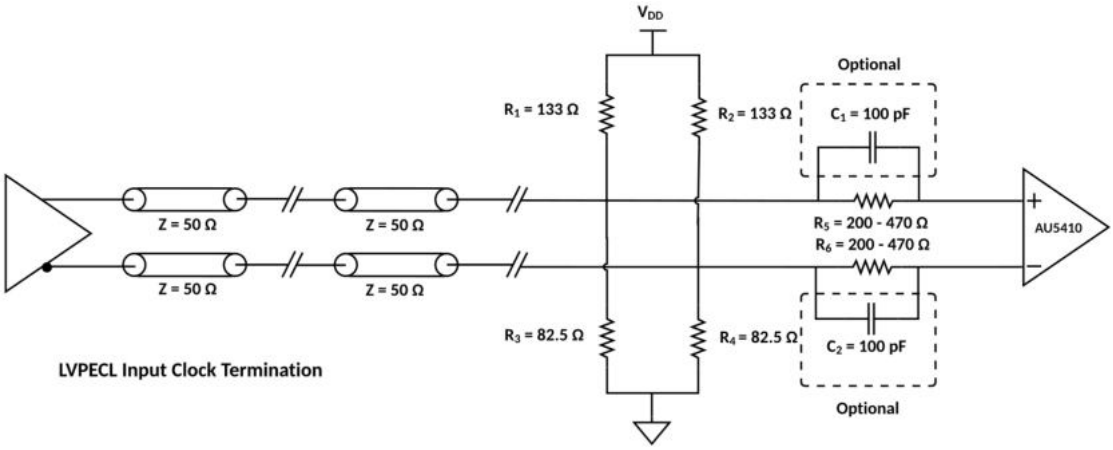


图 **30 LVPECL** 端接，带热插拔保护

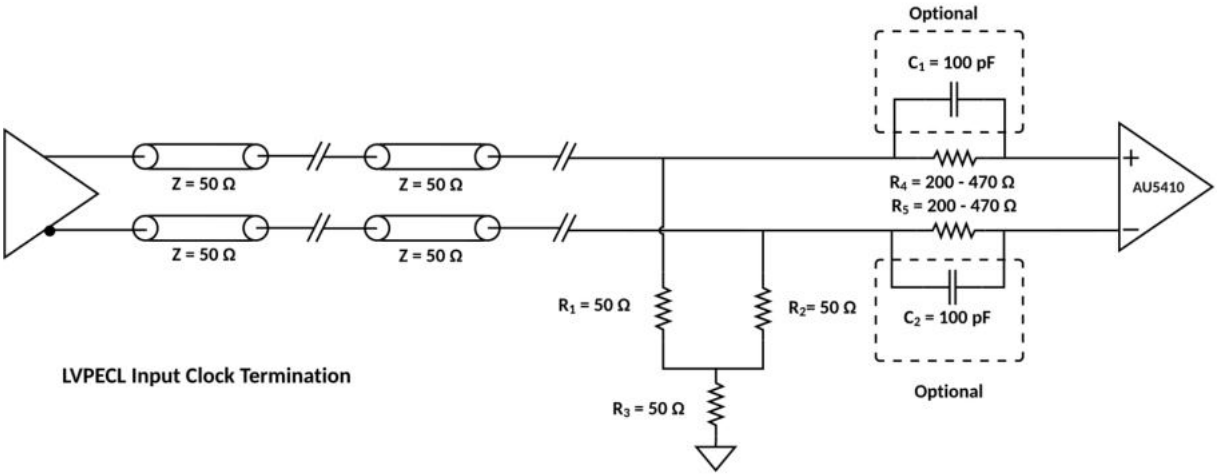


图 **31** 具有热插拔保护的 **LVEPCL** 端接

6.3.2 LVDS 输入时钟终端示例

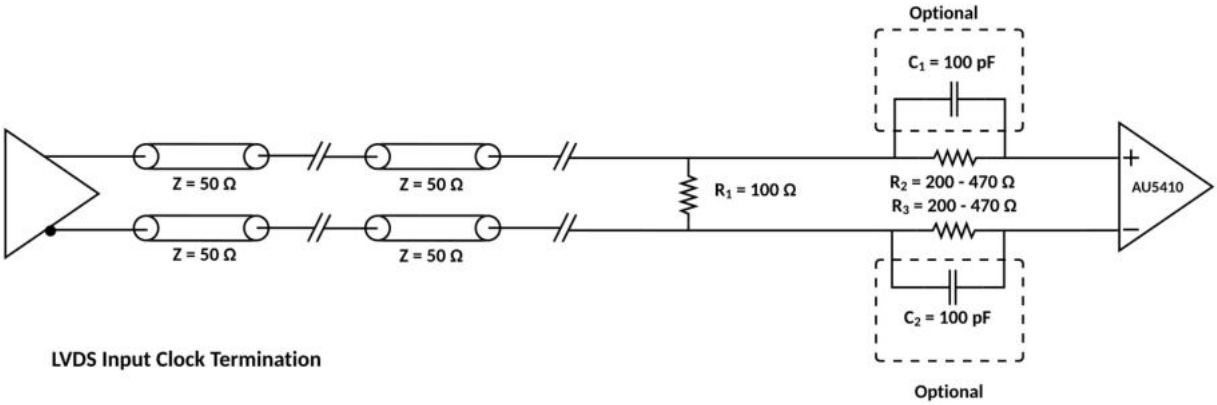


图 **32 LVDS** 终端，带热插拔保护

6.3.3 HCSL 输入时钟终止示例

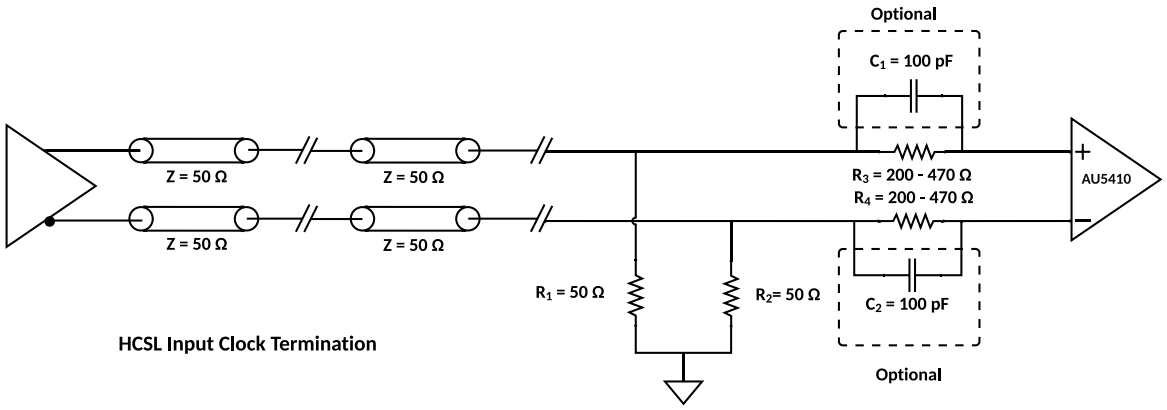


图 33 具有热插拔保护的 HCSL 终端

6.3.4 LVCMOS 输入时钟终端，带有热插拔保护

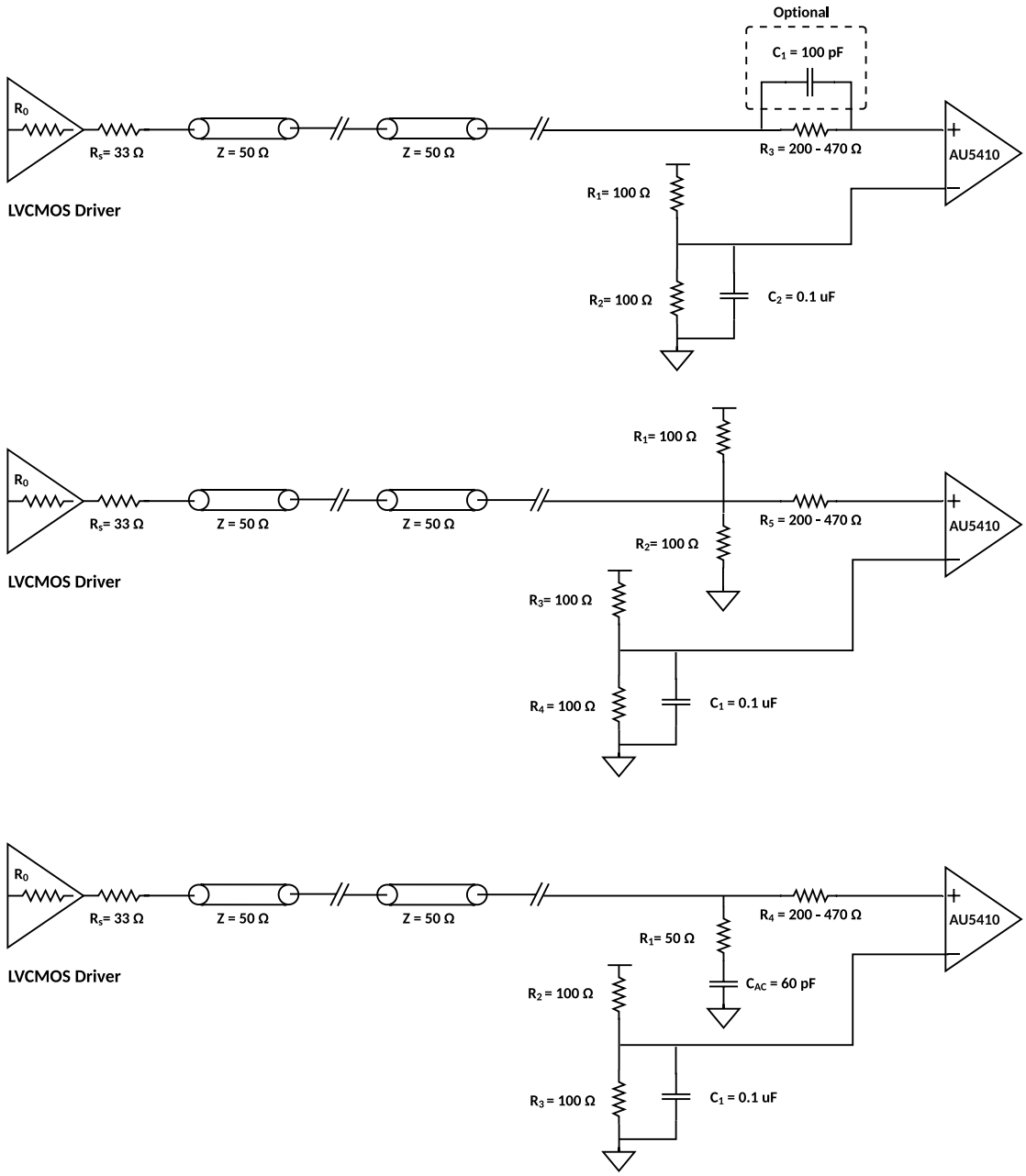


图 **34 LVCMOS** 输入时钟终端，具有热插拔保护

6.4 LVCMOS 输出时钟终端，带有热插拔保护

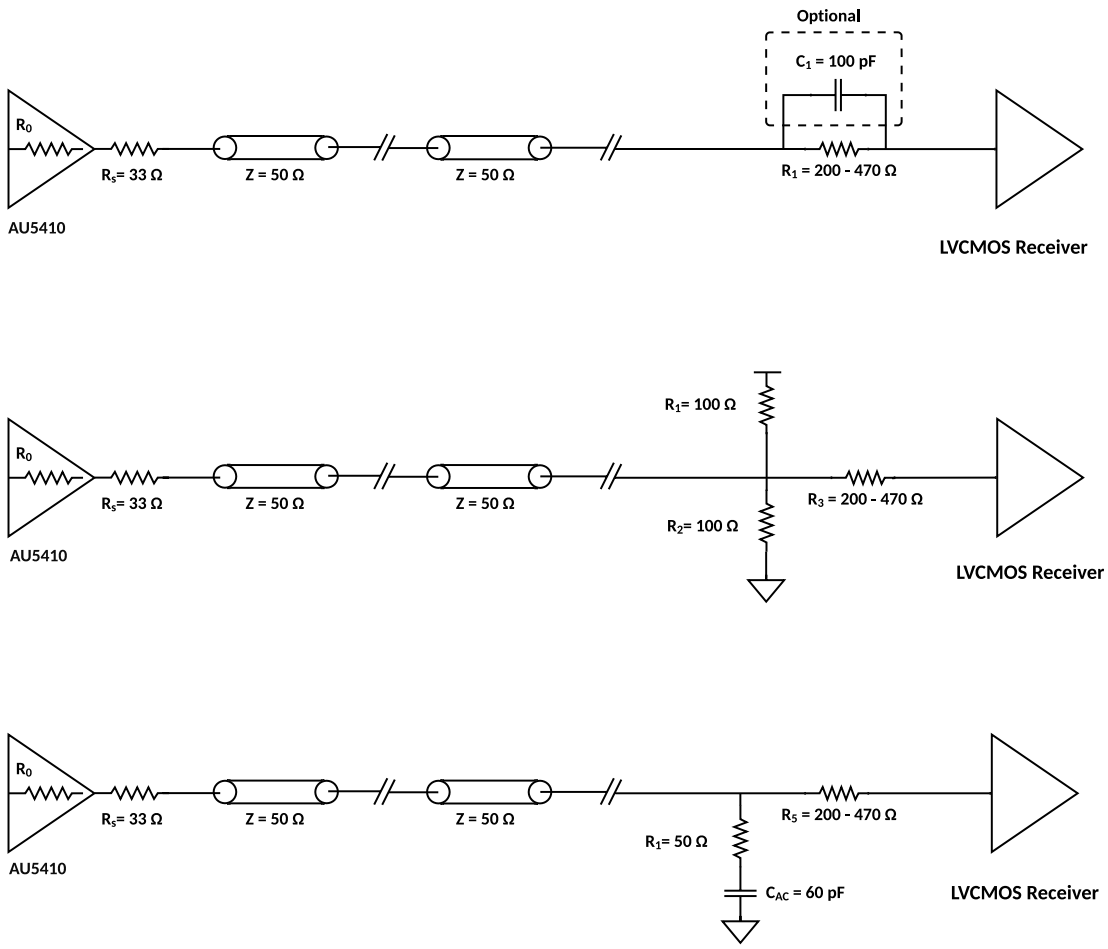


图 **35** 具有热插拔保护功能的不同类型的 **LVCMOS** 输出时钟终端

7 在多个 VDDO 电源域中运行

左侧的 VDDO 引脚 2 和 6 在内部短接。这些引左侧的 VDDO 引脚 23 和 19 在内部短接。脚与 ODR Q0 至 Q4 一起属于单个电源域。这些引脚与 ODR Q5 至 Q9 一起属于单个电源域。这两个供应域是完全相互独立的。引脚 2、6 可以连接到 3.3 V，而引脚 23、19 可以连接到 1.8 V。在本例中，Q0 至 Q4 为 3.3 V LVCMOS 驱动器。Q5 至 Q9 为 1.8 V LVCMOS 驱动器。

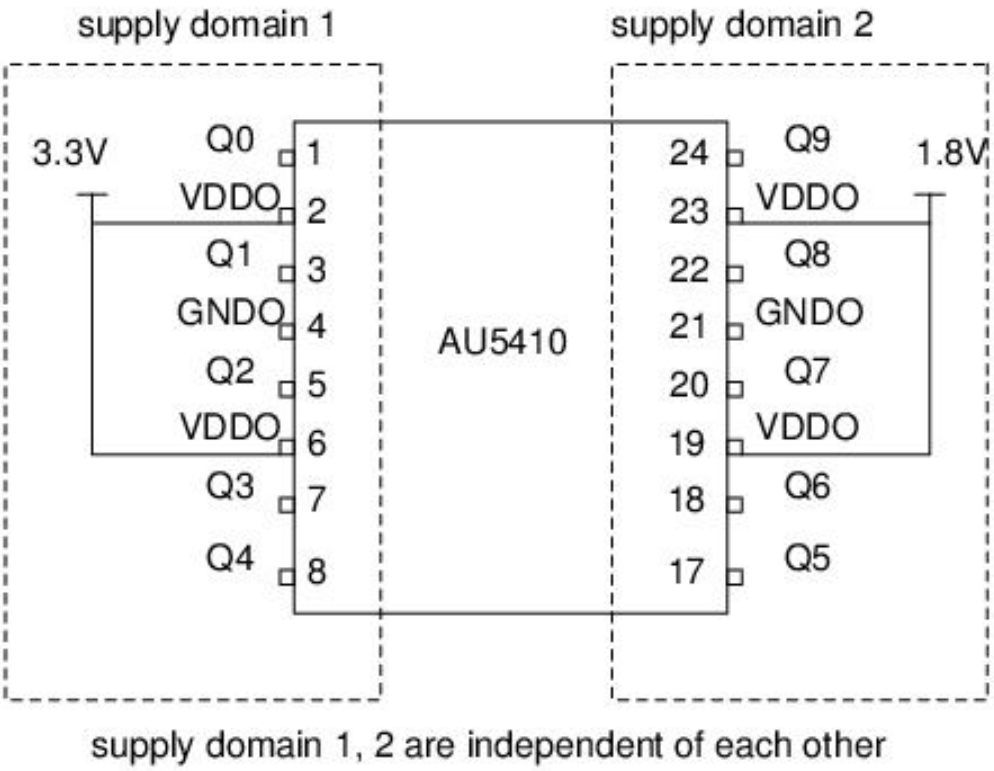


图 **36: AU5410** 的多电源供电示例

8 封装信息

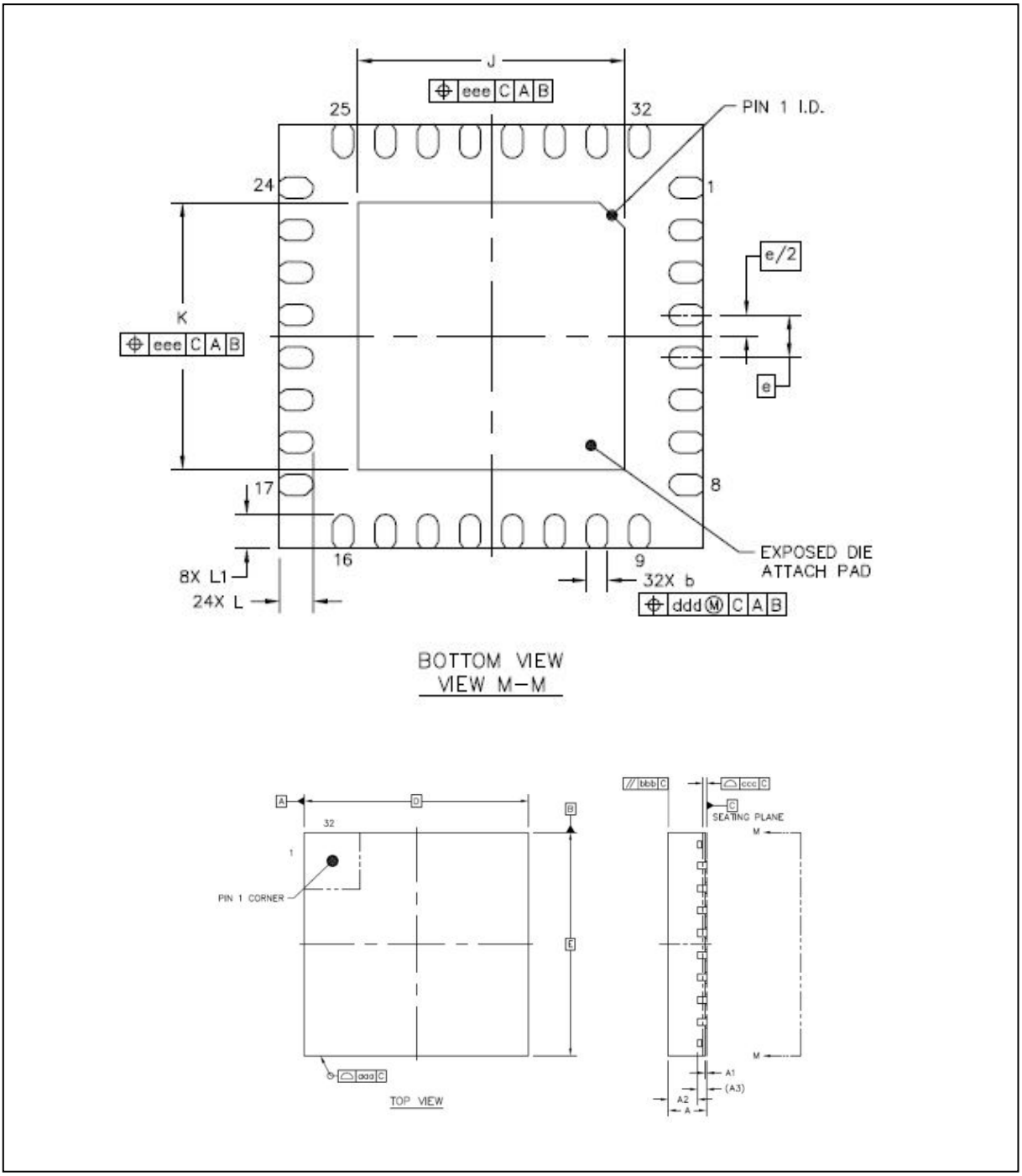


图 **37 AU5410 32** 引脚 **QFN** 封装尺寸

		符号	毫米		
			最小值	中间值	最大值
总厚度		A	0.8	0.85	0.90
基准距		A1	0	0.035	0.05
模具厚度		A2	-	0.65	-
L/F 厚度		A3	0.203 REF		
引线宽度		b	0.2	0.25	0.3
	X	D	5 BSC		

		符号	毫米		
			最小值	中间值	最大值
机身尺寸	Y	E	5 BSC		
引线间距		e	0.5 BSC		
EP 尺寸	X	J	3.05	3.15	3.25
	Y	K	3.05	3.15	3.25
引线长度		L	0.35	0.4	0.45
		L1	0.3	0.4	0.35
封装边缘公差		aaa	0.1		
模具平整度		bbb	0.1		
共面性		ccc	0.08		
引线偏移		ddd	0.1		
裸露焊盘偏移		eee	0.1		

9 订购信息

表 **11 AU5410** 订购信息

订购零件编号 (OPN)	标记	封装	运输包装	温度范围
AU5410A-QMR(1)	AU5410A	32-Lead QFN 5 mm x 5 mm	卷带	-40°C to 85°C
AU5410A-QMT(1)	AU5410A	32-Lead QFN 5 mm x 5 mm	托盘	-40°C to 85°C
AU5410-A-EVB	—	—	评估板	—

注:

1. 在 OPN 的末尾添加一个 R 以表示磁带和卷盘订购选项。在 OPN 的末尾添加一个 T 以表示托盘订购选项。
2. 本部件符合经指令 2011/65/EU 修订的 2015/863/EU RoHS 指令（限制在电气和电子设备中使用某些有害物质）。

10 修订记录

表 12 修订记录

版本	日期	描述	作者
0.1	31 05 2018	AU5410 Datasheet 初稿	Aurasemi
0.2	19 11 2018	更新订购信息、更新引脚列表、更新 VIL 信息	Aurasemi
0.3	10 01 2019	删除了部件名称中的“-” 增加了输入差分信号、上升/下降时间、偏移、传播延迟和隔离的参数定义。还添加了图表 添加了有关系列 RC 端接的部分 添加了用于时钟引脚的 IIH、IIL 更新了时钟引脚的 VIH、VIL 规范 从频率范围中删除了直流电 更新了图表并扩展了输入时钟终端 更新了图表并扩展了输出时钟终端 更新的 VOH/VOL 规范 添加了输出启用/禁用的图表	Aurasemi
0.4	16 01 2019	更新了 VOL 规范限制 功能描述中的 2/5 V，校正为 2.5 V	Aurasemi
0.5	22 01 2019	添加了热插拔保护建议	Aurasemi
0.6	21 02 2019	更新了输入占空比测量条件，并增加了晶振模式下输出时钟的设置时间	Aurasemi
0.7	16 04 2019	增加了 XO AC 耦合模块的抖动 增加了 1.8 V 延迟测量	Aurasemi
0.8	06 06 2019	增加了 VDDO 上多电源操作的图 添加了输入控制引脚泄漏的最低规格	Aurasemi
0.9	10 07 2019	内核电流上限更新了 0.3 mA 给出所有供应水平的上升/下降时间 给出所有电源电平的 IO 延迟，并根据测量结果更新平均值 所有供应水平的偏斜，均值根据测量值更新 已更新以包含数据表审阅注释	Aurasemi
0.91	14 07 2019	添加了 OE 路径延迟的公式 更新了 LVPECL 交流耦合时钟输入配置的输入端接图 将草稿更改为限量生产版本 更新的订购信息 在交流耦合 XTAL 驱动模式下增加了更多的摆动解释	Aurasemi
0.92	7th 09 2020	订购信息表 11 已更新 数据表更新为 Aura 最新格式	Aurasemi
1.0	5th 07 2021	1. 更改了表 11 以更新订购部件号和标记信息。 2. 生产数据表版本 1p0 发布。	Aurasemi
1.1	20th 09 2022	更正了 Crystal 接口的附加抖动中的拼写错误	Aurasemi
1.2	13Th 03 2023	1. MSL 额定值添加到表 2 绝对最大额定值中 2. RoHS 符合性说明添加到表 11 订购信息	Aurasemi

重要通知及免责声明

AURASEMI提供技术规格和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源“按原样”提供，并排除所有错误，并否认任何明示或暗示的保证，包括但不限于对适销性、特定用途的适用性或不侵犯第三方知识产权的任何暗示保证。

这些资源适用于熟练使用Aurasemi产品进行艺术设计的开发人员。您全权负责 （1） 为您的应用程序选择合适的产品，（2） 设计、验证和测试您的应用程序，以及 （3） 确保您的应用程序符合适用标准以及任何其他安全、安保或其他要求。这些资源如有更改，恕不另行通知。Aurasemi授予您仅将这些资源用于开发使用Aurasemi产品的应用程序的权限。严禁以其他方式复制或使用这些资源。不向任何其他Aurasemi知识产权或任何第三方知识产权授予任何许可。Aurasemi不对因您使用这些资源而引起的任何索赔、损害、成本、损失或责任负责，您将全额赔偿Aurasemi及其代表。Aurasemi产品仅受Aurasemi销售条款和条件或书面同意的其他适用条款的约束。不使用任何Aurasemi资源会扩展或以其他方式更改这些产品的任何适用保修或保修免责声明。

联系信息

欲了解更多信息，请访问 www.aurasemi.com

有关销售相关信息，请发送电子邮件至 sales@aurasemi.com

商标

所有引用的品牌、产品名称、服务名称和商标均为其各自所有者的财产。